

Tema 5

BIESTABLES

5.1. CIRCUITOS SECUENCIALES

Al igual que el Álgebra de Boole era el modelo matemático de la lógica combinacional, la Teoría de Autómatas (de número de estados finito) es el modelo matemático de la lógica secuencial. En lógica combinacional se representan todas aquellas funciones en las que, para conocer el valor de la salida en un determinado instante, sólo hace falta conocer los valores de las entradas en ese instante, es decir, el circuito no tiene memoria y, por consiguiente, no es necesario definir su estado interno para poder predecir el valor de la salida una vez que se conoce la función y los valores de las entradas.

Existen, no obstante, una serie de problemas que no pueden analizarse ni resolverse utilizando sólo lógica combinacional. El ejemplo más sencillo de sistema cuya descripción es imposible sin definir estados internos es el que simula el comportamiento de un bolígrafo. Podemos admitir que es un sistema que posee una entrada con dos valores (pulsar o no pulsar), y que responde sacando o metiendo la punta. Sin embargo, esta respuesta depende del estado anterior (punta dentro o punta fuera). Si pulsamos estando la punta dentro, ésta sale. En cambio si estaba fuera, entra. Decimos entonces que el bolígrafo es un autómata de 2 estados.

Como ya hemos mencionado en el primer tema, existen 2 formas equivalentes de definir o representar un autómata: la representación Moore y la representación Mealy (figura 5.1). Como también hemos dicho, F_1 y F_2 son funciones combinacionales, que ya sabemos manejar utilizando el Álgebra de Boole y los métodos de minimización descritos en temas anteriores. En este tema, estudiaremos una de las formas de implementar el bloque Δ : a través de “biestables” o “flip-flops”.

Los biestables son los dispositivos secuenciales más sencillos, ya que sólo disponen de dos estados internos distintos. Se les puede considerar memorias de 1 bit, puesto que son celdas capaces de almacenar un “bit” de información (un estado interno corresponderá al 0 lógico y el otro al 1 lógico), y de mantenerlo en tanto no se produzcan unas condiciones determinadas en sus entradas. En este tema estudiaremos los distintos tipos de

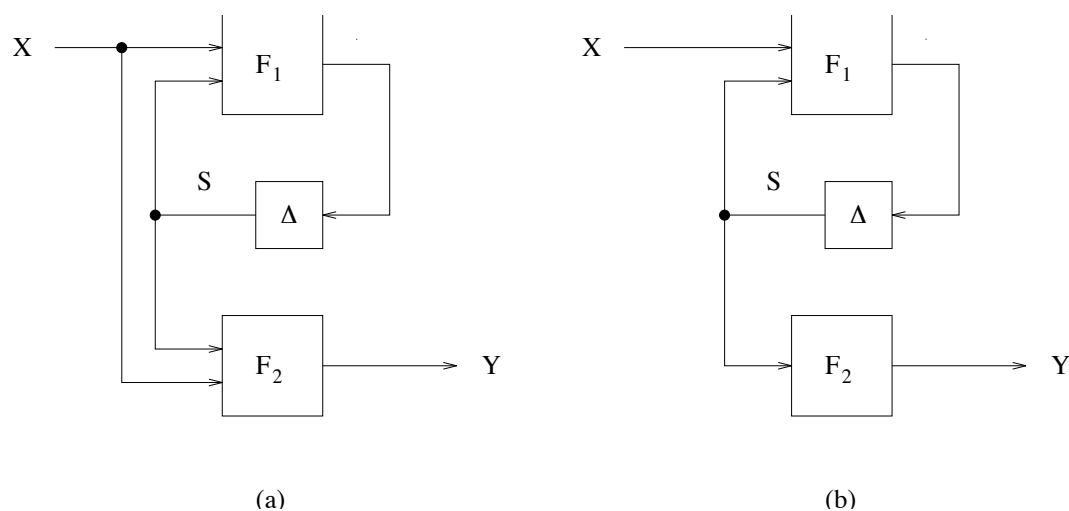


Figura 5.1: Definición de un autómata Mealy (a) y Moore (b).

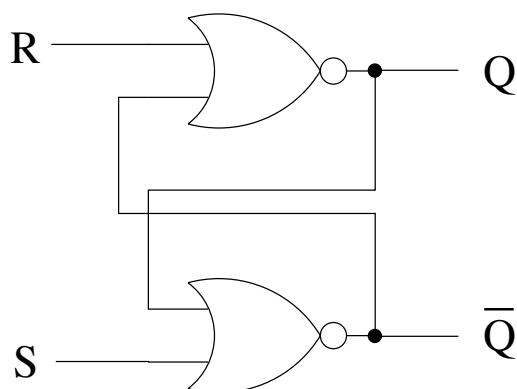


Figura 5.2: Flip-flop RS básico con puertas NOR.

flip-flops existentes y analizaremos las distintas condiciones de disparo de cada uno de ellos (activación del flip-flop o generación de un nuevo estado interno y salida en función de sus entradas). Asimismo, veremos algunas de las aplicaciones más importantes de los biestables.

5.2. FLIP-FLOP RS

Un flip-flop, en su estructura más simple, se puede construir con dos puertas NOR realimentadas, tal y como se ilustra en la figura 5.2. Cada uno de los circuitos mostrados conforma un flip-flop básico a partir del cual se construyen formas más sofisticadas de biestables. La conexión cruzada de la salida de cada puerta a la entrada de la otra constituye el lazo de realimentación imprescindible en todo dispositivo de “memoria”. Cada una de estas celdas básicas cuenta con dos salidas (Q y \bar{Q}), y con dos entradas: set (S) y reset (R). Este tipo de biestable se conoce con el nombre de flip-flop RS.

5.2.1. Funcionamiento del flip-flop RS.

Las dos entradas de un biestable RS van a realizar las siguientes acciones (opuestas) cuando son activadas:

- R (reset): poner la salida a cero ($Q = 0, \bar{Q} = 1$)
- S (set): poner la salida a uno ($Q = 1, \bar{Q} = 0$)

Si ninguna de las entradas está activa, el flip-flop mantendrá las salidas en el valor previo. En el caso en que ambas entradas se activen simultáneamente Q y \bar{Q} tomarán el mismo valor, con lo que esta configuración normalmente no se utilizará.

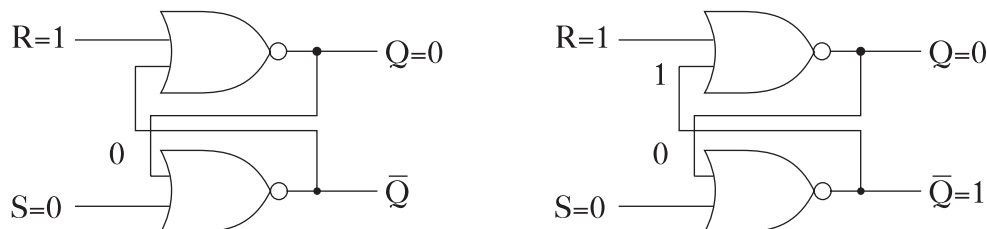
5.2.2. Flip-flop RS construido a partir de puertas NOR.

En este caso las dos entradas R y S son activas a nivel alto (a 1), ya que, como se puede deducir rápidamente de la tabla de verdad de la puerta NOR, siempre que una de las entradas sea 1, la salida será siempre 0 (independientemente del valor de la segunda entrada). Esta característica es la que nos va a ayudar a analizar los circuitos con puertas NOR realimentadas.

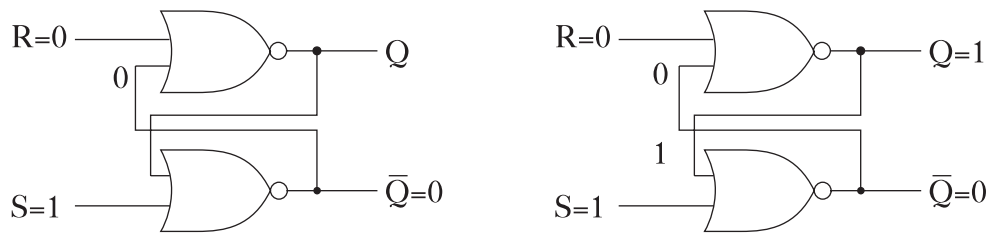
A	B	NOR
0	0	1
0	1	0
1	0	0
1	1	0

Se pueden dar los siguientes cuatro casos:

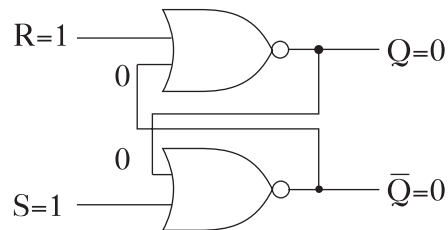
a) Si se activa el reset ($R = 1, S = 0$) la salida será siempre cero ($Q = 0$). La otra puerta NOR tendrá entonces dos ceros como entradas, con lo que \bar{Q} será uno.



b) Si se activa el set mientras el reset está desactivada ($S = 1, R = 0$) entonces \bar{Q} siempre será cero (0). La otra puerta NOR tendrá, por lo tanto, dos ceros como entradas con lo que su salida (Q) será uno.

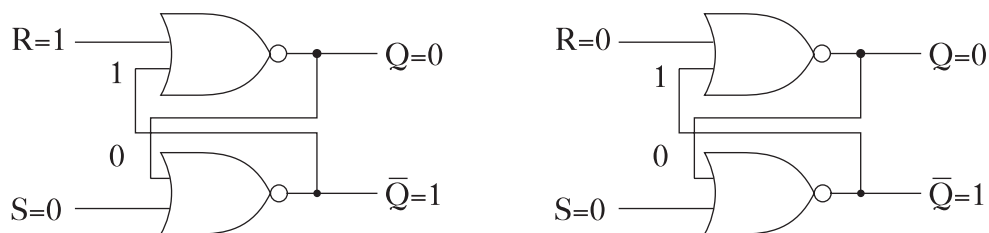


c) Si ambos, reset y set se activan ($R = 1, S = 1$) se hará ($Q = 0, \bar{Q} = 0$). Esta configuración normalmente no se utilizará, ya que, por norma general, nos interesará que Q y \bar{Q} sean siempre opuestas una a la otra. Es importante recalcar que el hecho de que las salidas se llamen Q y \bar{Q} no significa que una es la negada de la otra (y este caso, en donde activamos reset y set a la vez, es una buena prueba de ello).

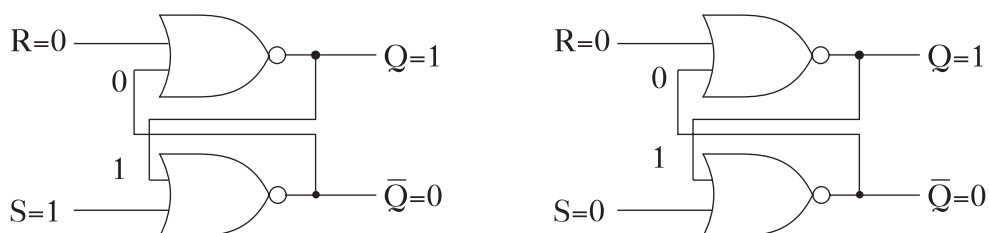


d) Supongamos que ninguna de ambas entradas sean activas ($R = 0, S = 0$). En esta situación el valor de las salidas de las puertas NOR no está determinada por estas entradas, sino por el valor de los lazos de realimentación (Q y \bar{Q}). Serán posibles dos configuraciones, que dependerán del valor previo de los lazos de realimentación y, por tanto, de todas las entradas anteriores. Como se puede ver, en ambos casos se mantendrá invariable la configuración inmediatamente anterior.

a) \rightarrow d)



b) \rightarrow d)



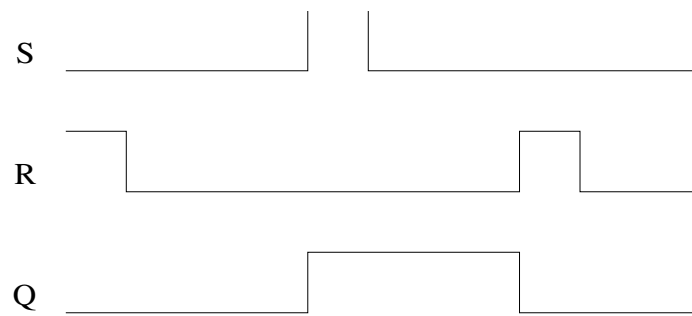


Figura 5.3: Ejemplo de funcionamiento de un flip-flop RS (NOR).

Por lo tanto, las tablas de transiciones de estado para un flip-flop RS (NOR) son:

R	S	Q^n	Q^{n+1}
0	0	0	0
0	0	1	1
0	1	0	1
0	1	1	1
1	0	0	0
1	0	1	0
1	1	0	No usado
1	1	1	No usado

R	S	Q^{n+1}
0	0	Q^n
0	1	1
1	0	0
1	1	No usado

Por tanto, cuando las entradas R y S están inactivas el flip-flop mantiene la configuración alcanzada en la operación previa, es decir, el estado siguiente (Q^{n+1}) será igual al estado actual (Q^n). De esta forma se guarda el bit de información previamente almacenado (1 si se ha actuado sobre el set ó 0 si se ha actuado sobre el reset).

5.2.3. Flip-flop RS (NOR) sincronizado por nivel.

El flip-flop básico, tal como se ha descrito hasta aquí, es un circuito secuencial asíncrono. En cualquier sistema digital que incluya un cierto número de puertas y elementos de este tipo prácticamente va a ser imposible garantizar que las señales R y S se presenten, exactamente, en los instantes de tiempo requeridos para realizar las operaciones lógicas, con lo que podemos perder fácilmente el control sobre el circuito. Esta dificultad puede soslayarse permitiendo cambios de estado en el flip-flop sólo cuando lo indique un reloj externo que, usualmente, será común para todo el sistema secuencial. De este modo, las señales de salida se sincronizarán con el reloj, no dependiendo las transiciones del momento de llegada de las señales R y S , mejorando por tanto la coordinación.

El flip-flop RS sincronizado por **nivel** (figura 5.4) consta de una celda RS básica con puertas NOR, a la que se añaden dos puertas AND adicionales en la entrada. La señal de reloj que realiza la sincronización es introducida en cada puerta AND, en tanto que las señales R y S constituyen las otras entradas. De esta manera, las entradas a las puertas

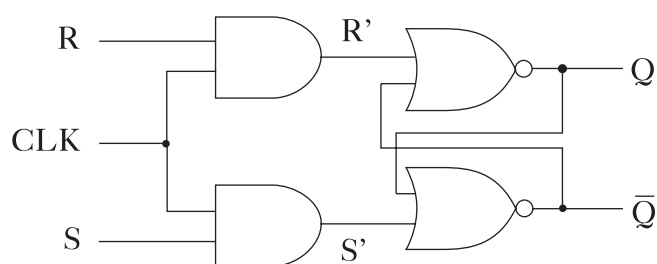


Figura 5.4: Flip-flop RS (NOR) sincronizado a nivel.

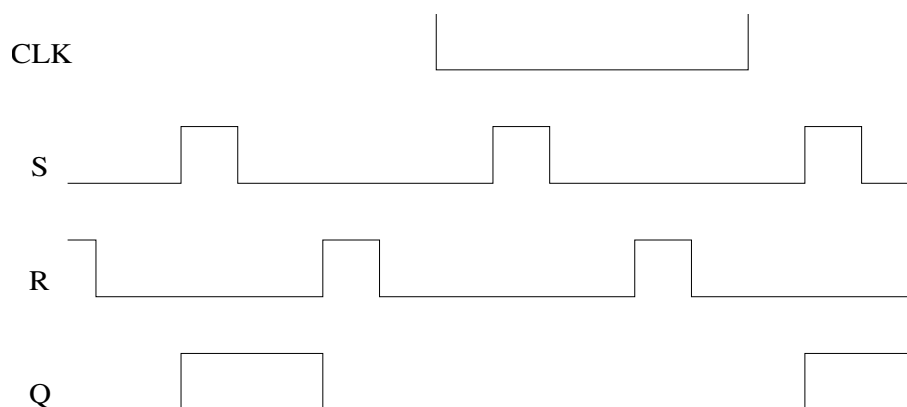


Figura 5.5: Ejemplo de funcionamiento de un flip-flop RS (NOR) síncrono.

NOR (R' y S') sólo serán activas cuando el reloj esté en alta, con lo que las entradas R y S seguirán determinando el estado final del flip-flop, pero en transiciones que únicamente podrán ocurrir cuando el reloj las permita. Este dispositivo es también conocido como latch RS.

Por tanto, la señal de reloj (CLK) que hemos introducido genera el siguiente comportamiento del biestable (ver figura 5.5):

- Cuando el reloj está inactivo ($CLK = 0$), el flip-flop mantiene su estado, independientemente de los valores de las señales R y S .

- Cuando el reloj está activo ($CLK = 1$) entonces $R' = R$ y $S' = S$ (figura 5.4), con lo cual el flip-flop tendrá un funcionamiento similar a un RS asíncrono.

La tabla de transiciones de estado de un flip-flop RS síncrono es:

CLK	R	S	Q^{n+1}
0	x	x	Q^n
1	0	0	Q^n
1	0	1	1
1	1	0	0
1	1	1	No usado

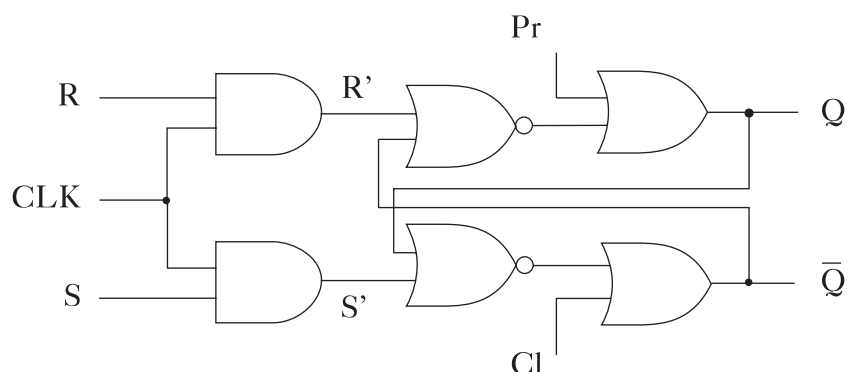


Figura 5.6: Flip-flop RS (NOR) sincronizado a nivel y con entradas Pr y Cl asíncronas.

5.2.4. Flip-flop RS (NOR) sincronizado a nivel con entradas asíncronas de Preset y Clear.

En toda la descripción previa de los flip-flops RS sincronizados hemos partido de un cierto estado inicial de flip-flop a partir del cual se realizan las transiciones sincronizadas por la señal de reloj. En la práctica, es frecuentemente deseable disponer de los medios de resetear ($Q = 0$) o presetear ($Q = 1$) el flip-flop, independientemente de sus entradas R , S o del reloj. Esto se consigue modificando el circuito del latch en la forma ilustrada en la figura 5.6. Las señales de Preset (Pr) y Clear (Cl) actúan de manera prioritaria e independiente de las otras líneas de entrada: si se activa Pr , Q pasará a 1, independientemente del resto de las señales; y si se activa Cl , Q pasará a 0.

El comportamiento del biestable completo se puede ver en las siguientes tablas de transiciones de estado:

Pr	Cl	Q^{n+1}	Pr	Cl	CLK	R	S	Q^{n+1}
0	1	0	0	1	x	x	x	0
1	0	1	1	0	x	x	x	1
0	0	Q^n	1	1	x	x	x	No permitido
0	1	0	0	0	0	x	x	Q^n
1	0	1	0	0	1	0	0	Q^n
1	1	No permitido	0	0	1	0	1	1
			0	0	1	1	0	0
			0	0	1	1	1	No usado

Resumiendo:

- Pr y S ponen a 1.
- Cl y R ponen a 0.
- S y R sincronizadas (sólo tienen efecto cuando el reloj está activo).
- Pr y Cl asíncronas (tienen efecto siempre).
- En caso de contradicción tienen prioridad Pr y Cl .

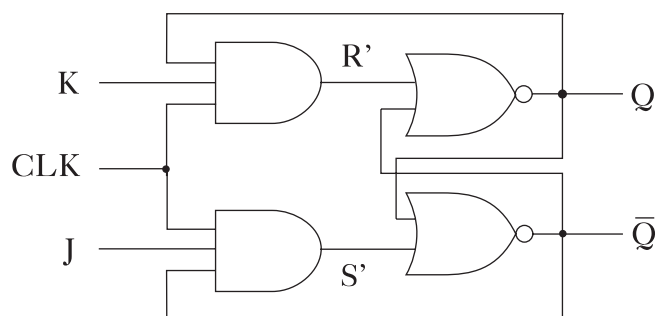


Figura 5.7: Flip-flop JK sincronizado a nivel.

5.3. OTROS FLIP-FLOPS SINCRONIZADOS POR NIVEL

5.3.1. Flip-flop JK.

En el flip-flop RS vimos que existía un estado ambiguo como consecuencia de aplicar simultáneamente dos niveles activos a las líneas R y S . La ambigüedad surge como consecuencia de resultar $Q = \bar{Q}$ a la salida, y por no conocer con certeza el estado del flip-flop resultante si ambas entradas se hacen inactivas simultáneamente. El flip-flop JK es un refinamiento del RS en el que el estado indeterminado queda, en este caso, perfectamente definido. Las entradas J y K se comportan como las entradas S y R , respectivamente; sin embargo, cuando se activan simultáneamente, el flip-flop conmuta al estado complementario del que se encuentra.

En la figura 5.7 se muestra el esquema lógico de un flip-flop sincronizado a nivel. Como se aprecia existe un lazo de realimentación de las salidas hacia la puerta AND de entrada, para evitar la inestabilidad del RS. Cuando las entradas J y K aparecen simultáneamente activas, la salida que en ese momento se encuentre a 1 hace que la salida de la puerta AND correspondiente se ponga a 1 (la otra permanecerá en 0), lo que hace bascular el flip-flop en cualquier caso. Hay que hacer notar que esta conexión de realimentación del flip-flop JK a la que hacíamos referencia hace que, si la señal de reloj permanece a 1 (siempre que $J = K = 1$), se producirán transiciones de forma continua e incontrolada, con el resultado final de que no podemos predecir en que estado se va a quedar el flip-flop al deshabilitar el reloj.

Para evitar este proceso indeseable, se deben diseñar flip-flops más complejos que, en vez de activarse con un nivel alto del reloj, se activen o disparen en las transiciones del reloj, lo que se denomina flancos. La ventaja de estos nuevos flip-flops radica en que es mucho más fácil y fiable controlar la transición de una señal (de 0 a 1, o viceversa) que la duración de un pulso (con la precisión de decenas de nanosegundos necesaria).

El comportamiento de un flip-flop JK síncrono se puede resumir en la siguiente tabla:

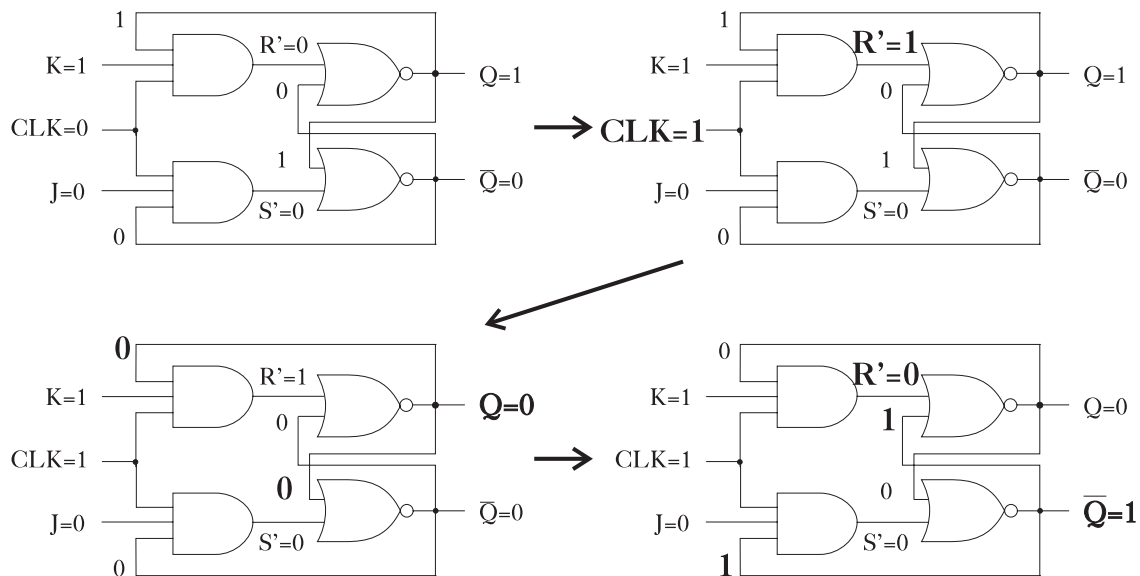


Figura 5.8: Flip-flop tipo JK sincronizado a nivel con entradas $J = 0$ y $K = 1$.

J → pone a 1	K → pone a 0	CLK	J	K	Q^{n+1}
		0	x	x	Q^n
		1	0	0	Q^n
		1	0	1	0
		1	1	0	1
		1	1	1	\overline{Q}^n

En la figura 5.7 puede observarse que cuando el reloj es cero se verifica que $R' = S' = 0$, con lo que el flip-flop mantiene el estado previamente almacenado, es decir, $Q^{n+1} = Q^n$. Veamos algunas transiciones debidas a la activación de J y K cuando el reloj está en un nivel activo ($CLK = 1$). Obviamente, cuando J y K están desactivadas, es decir son cero, el biestable mantiene el estado actual, lo mismo que ocurría con el flip-flop RS.

i) Supongamos el flip-flop en $Q = 1$ y queremos ponerlo a 0. Para ello necesitamos activar (poner a 1) la entrada K . El comportamiento del biestable se puede observar en la figura 5.8.

ii) Supongamos el flip-flop en $Q = 0$ y queremos ponerlo a 1. Para ello necesitamos activar (poner a 1) la entrada J (figura 5.9).

iii) En la figura 5.10 vemos que pasa cuando J y K están activas simultáneamente (es decir, $J = K = 1$). Suponemos que inicialmente el biestable tiene almacenado el estado $Q = 1$.

En este último caso, se puede observar que el flip-flop conmuta de estado continuamente, pasando alternativamente por las dos condiciones de salida estables (enmarcadas en un rectángulo en la figura). Este fenómeno se debe a la realimentación de las salidas del biestable a las puertas AND de entrada, que es precisamente lo que nos permite conmutar

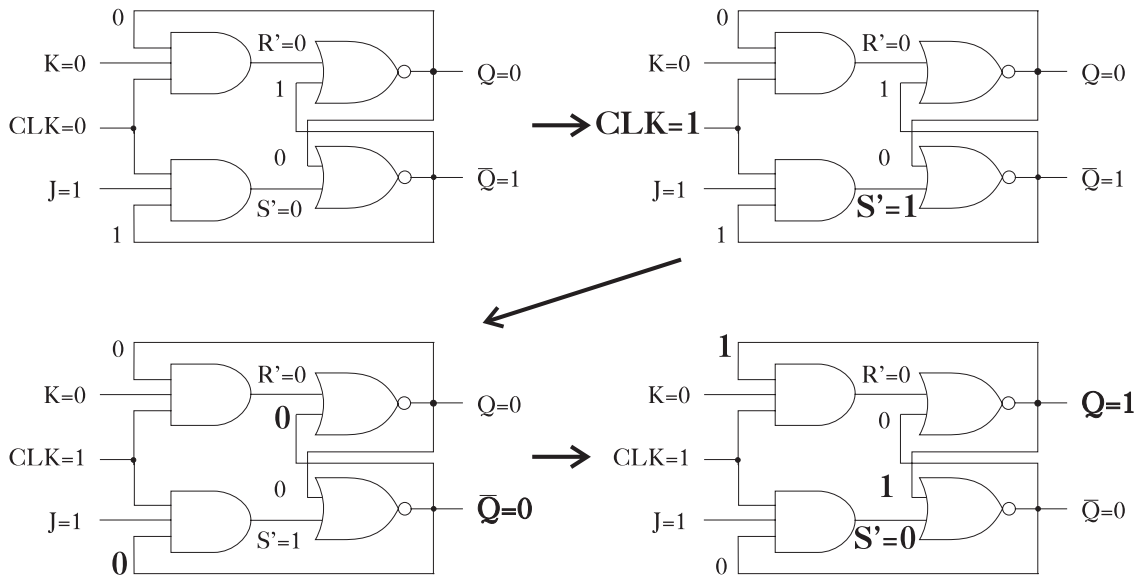


Figura 5.9: Flip-flop tipo JK sincronizado a nivel con entradas $J = 1$ y $K = 0$.

de estado. El problema es que al conmutar de estado, dejamos de activar R' y pasamos a activar S' , con lo que volvemos a conmutar de estado, y así sucesivamente.

Las tablas de transiciones del flip-flop JK (completa y reducida) se pueden ver a continuación.

J	K	Q^n	Q^{n+1}
0	0	0	0
0	0	1	1
0	1	0	0
0	1	1	0
1	0	0	1
1	0	1	1
1	1	0	1
1	1	1	0

J	K	Q^{n+1}
0	0	Q^n
0	1	0
1	0	1
1	1	$\overline{Q^n}$

A partir de la última podemos obtener la ecuación de transición para el flip-flop JK que nos da el estado siguiente (Q^{n+1}) en función de J , K y el estado actual (Q^n):

		Q^{n+1}			
		KQ^n			
J		00	01	11	10
J	0		1		
	1	1	1		1

$$Q^{n+1} = J\overline{Q^n} + \overline{K}Q^n$$

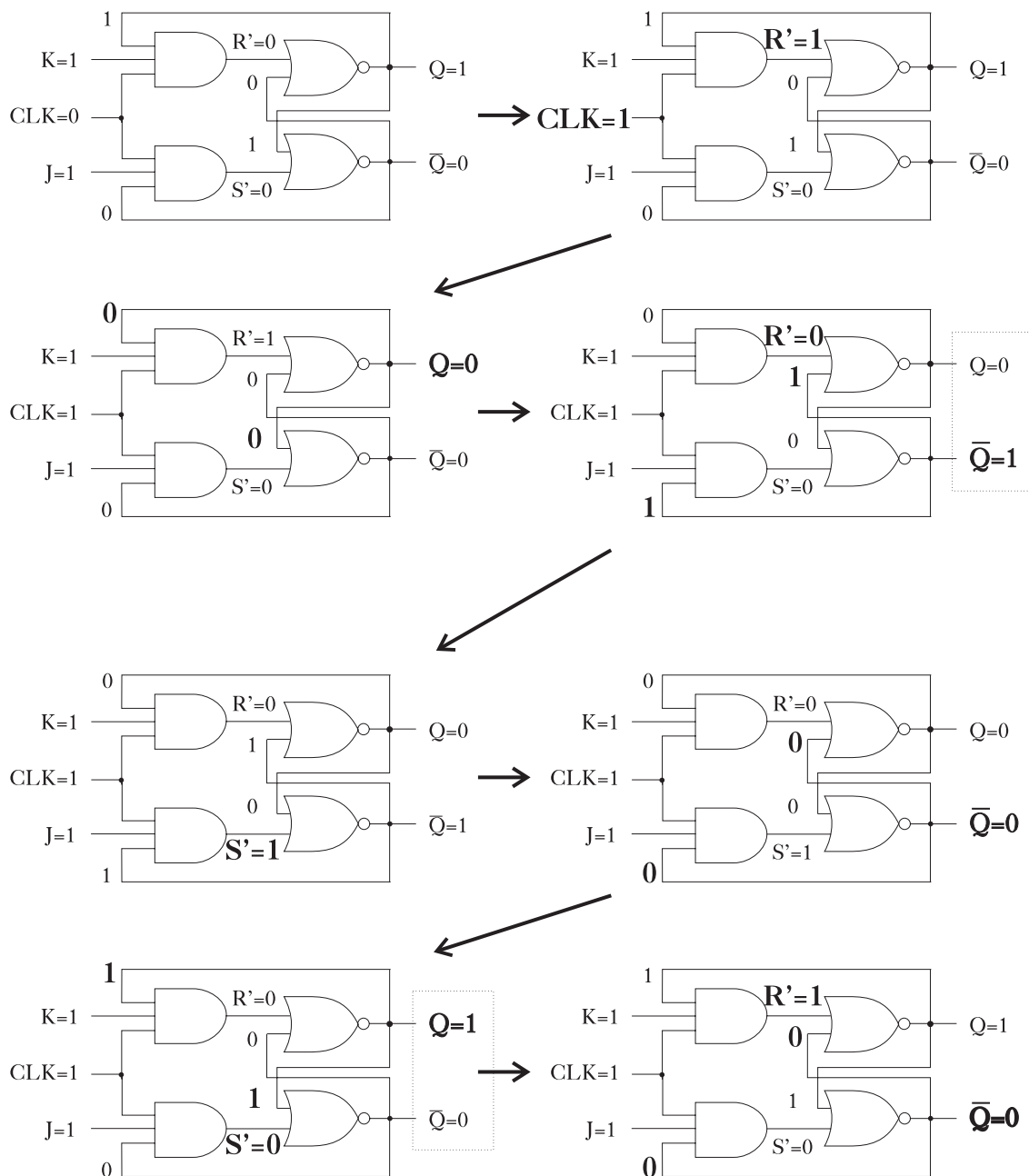


Figura 5.10: Flip-flop tipo JK sincronizado a nivel con entradas $J = 1$ y $K = 1$.

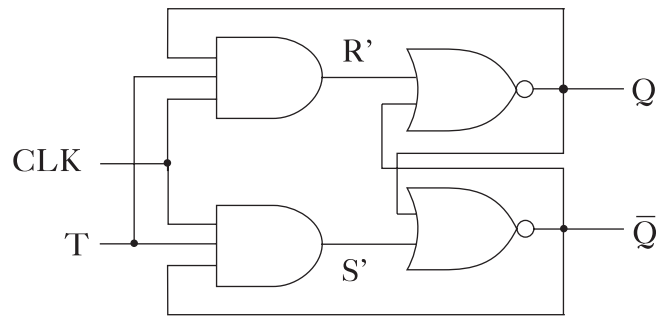


Figura 5.11: Flip-flop tipo T sincronizado a nivel.

5.3.2. Flip-flop T.

El flip-flop tipo T es una versión simplificada del flip-flop JK. Tal y como se observa en la figura 5.11, se obtiene directamente del JK conectando juntas las entradas J y K . La designación “T” para este flip-flop es consecuencia de la característica de cambio de estado de este flip-flop (*toggle*). Cuando $T = 1$, entonces $J = K = 1$ y el flip-flop cambiará de estado (cambiará de estado indefinidas veces mientras que el reloj sea 1). Cuando $T = 0$, entonces $J = K = 0$ y el flip-flop permanece en el estado en el que se encontraba.

CLK	T	Q^{n+1}	T	Q^n	Q^{n+1}
0	x	Q^n	0	0	0
1	0	Q^n	0	1	1
1	1	$\overline{Q^n}$	1	0	1
			1	1	0

La ecuación del estado siguiente (Q^{n+1}) de un flip-flop T en función de sus entradas actuales (T y Q^n) es:

		Q^{n+1}	
		0	1
$T \backslash Q^n$	0		1
	1	1	

$$Q^{n+1} = T\overline{Q^n} + \overline{T}Q^n$$

5.3.3. Flip-flop D.

El flip-flop tipo D (figura 5.12) es una modificación del flip-flop RS sincronizado por nivel. La entrada D se aplica directamente a la entrada S , y su complemento a la entrada

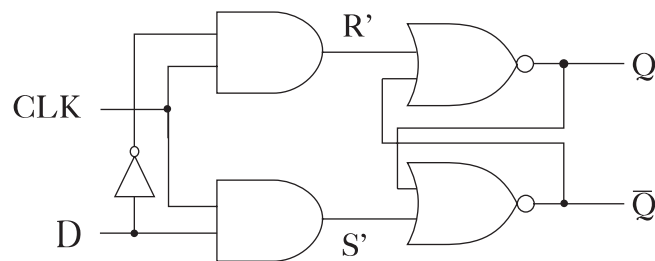


Figura 5.12: Flip-flop D sincronizado a nivel.

R. El nombre de flip-flop D viene como consecuencia de su capacidad de transferir “datos” desde la línea de entrada a la salida, siempre que los pulsos de reloj lo permitan. Cuando D es 0, se activa R' y el flip-flop pasa a $Q = 0$; mientras que, cuando D es 1, se activa S' y el flip-flop pasa a $Q = 1$. En ambos casos, la entrada se transmite a la salida. Es decir,

CLK	D	Q^{n+1}
0	x	Q^n
1	0	0
1	1	1

5.4. FLIP-FLOPS SINCRONIZADOS O DISPARADOS A FLANCOS

La posible modificación del estado de un flip-flop se debe a algún cambio en las señales de entrada. Diremos que ese cambio ha “disparado” (*trigger*) el flip-flop. En flip-flops **asíncronos**, es decir, en aquellos que no admiten una señal de reloj, se requiere simplemente un cambio de nivel en las señales de entrada para producir el disparo del flip-flop. En flip-flops disparados por **niveles**, sólo es posible un cambio de estado en sincronismo con uno de los niveles de la señal del reloj (típicamente el nivel 1). En un flip-flop disparado por **flancos**, el cambio de estado sólo se permite en las transiciones de la señal de reloj, o bien cuando la señal pasa del nivel 0 al nivel 1 (flip-flop disparado en flancos positivos), o bien cuando la señal de reloj pasa de 1 a 0 (flip flop disparado en flancos negativos).

Hay varias formas de construir flip-flops disparados por flancos. Nosotros sólo veremos una de ellas: los flip-flops master-slave.

5.4.1. Flip-flop master-slave.

Un flip-flop master-slave se construye mediante dos flip-flops en cascada: un circuito sirve como “maestro” (*master*) y el otro como “esclavo” (*slave*). El esquema de un bistable RS de este tipo se muestra en la figura 5.13 y consta, como puede apreciarse, de dos

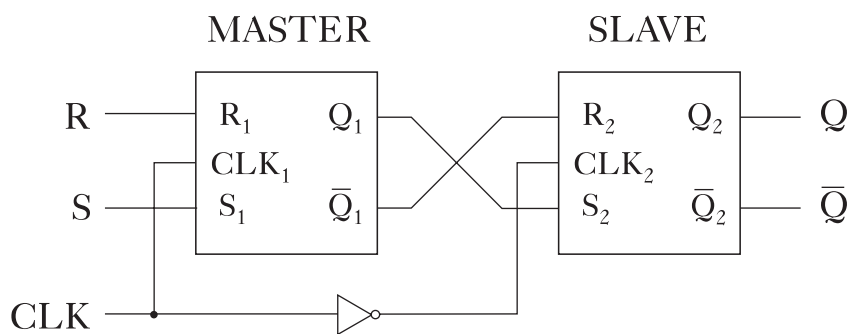


Figura 5.13: Flip-flop RS master-slave.

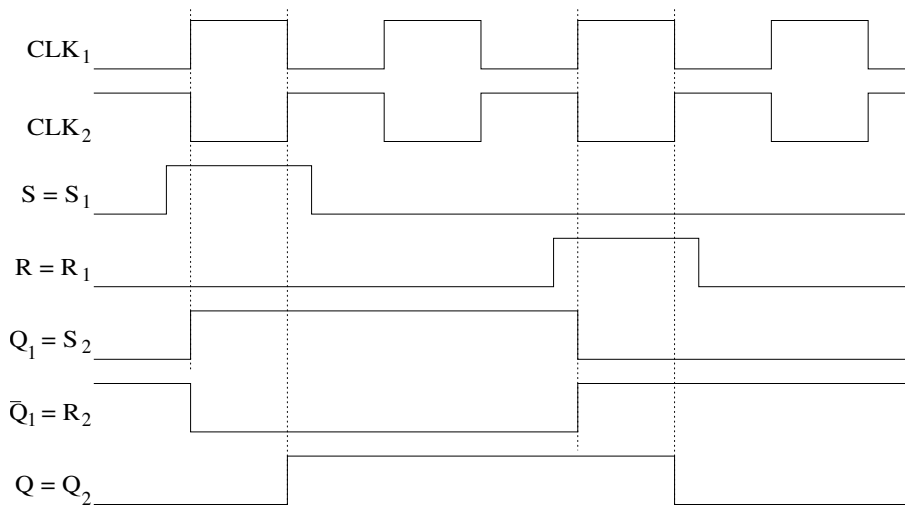


Figura 5.14: Ejemplo de funcionamiento de un flip-flop RS master-slave.

flip-flops y un inversor. Cuando el reloj se halla en alta, el flip-flop master se encuentra habilitado, con lo que la salida del mismo será función de las entradas R y S , mientras que el flip-flop slave se encuentra inhibido, con lo cual mantiene el estado. Cuando el reloj pasa a baja, la situación es la inversa, de forma que el flip-flop master se encuentra aislado del exterior (con lo que mantiene su estado), mientras que el flip-flop slave responde a las señales procedentes del master.

De esta forma el flip-flop master responde en el nivel alto de la señal de reloj y el flip-flop slave responde en los niveles bajos. El circuito completo responderá justo en el intervalo de transición del nivel alto al nivel bajo de la señal de reloj. Será, por tanto, un flip-flop sincronizado con los flancos negativos de la señal de reloj. Con este montaje se consigue también desacoplar las entradas del circuito a las salidas, y el efecto es que las salidas no presentarán la inestabilidad inherente a las realimentaciones.

La combinación master-slave también se puede construir con el flip-flop tipo D, sin más que añadir un flip-flop RS a su salida, tal y como indica la figura 5.15, dando lugar a un flip-flop D master-slave.

El esquema anterior no es válido para los flip-flop JK y T, puesto que si $J = K = 1$

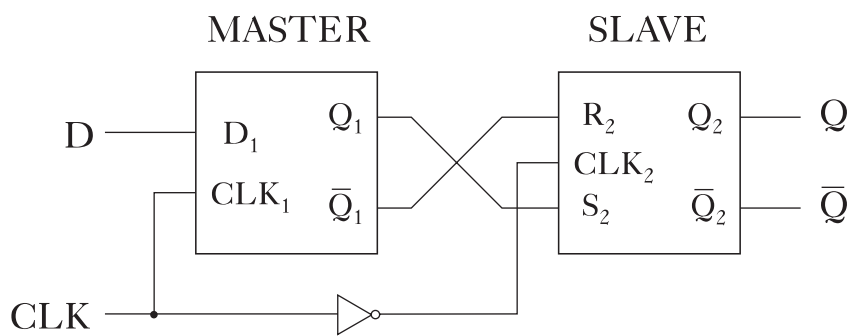


Figura 5.15: Flip-flop D master-slave.

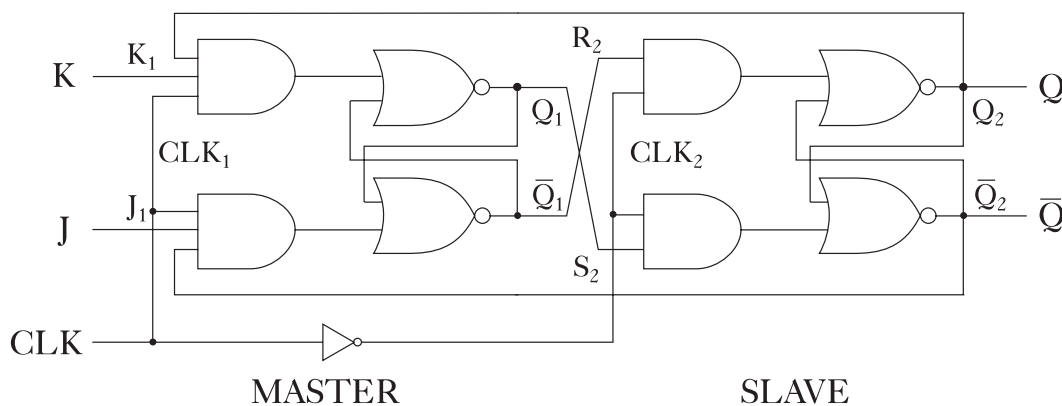


Figura 5.16: Flip-flop JK master-slave.

ó $T = 1$ y se habilita el reloj ($CLK = 1$) el flip-flop master conmutará un número indeterminado de veces, con lo que no podemos saber cual va a ser su estado final cuando el reloj se desactive ($CLK = 0$). En este caso, la construcción de los flip-flops JK y T master-slave requiere modificar su estructura interna. La modificación únicamente consiste en realizar la realimentación no desde las salidas del biestable master, sino desde las salidas del biestable slave, tal y como podemos observar en la figura 5.16 para un JK. Para un flip-flop T master-slave sólo habría que hacer que J y K fuesen siempre iguales a T .

Ahora, en un flip-flop JK master-slave (disparado a flancos), cuando las entradas J y K son activas simultáneamente ($J = K = 1$), el flip-flop sólo podrá cambiar de estado una vez, a diferencia de lo que vimos anteriormente en el caso de un flip-flop disparado a

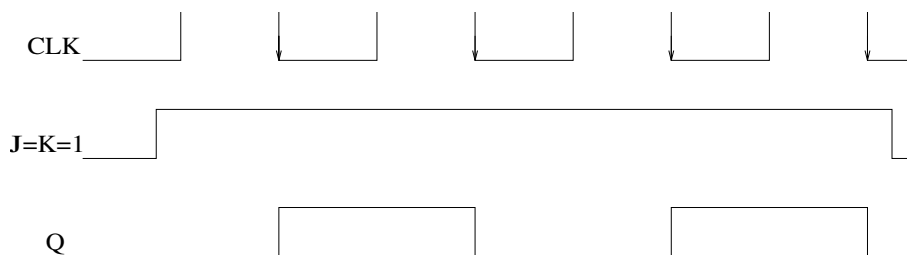
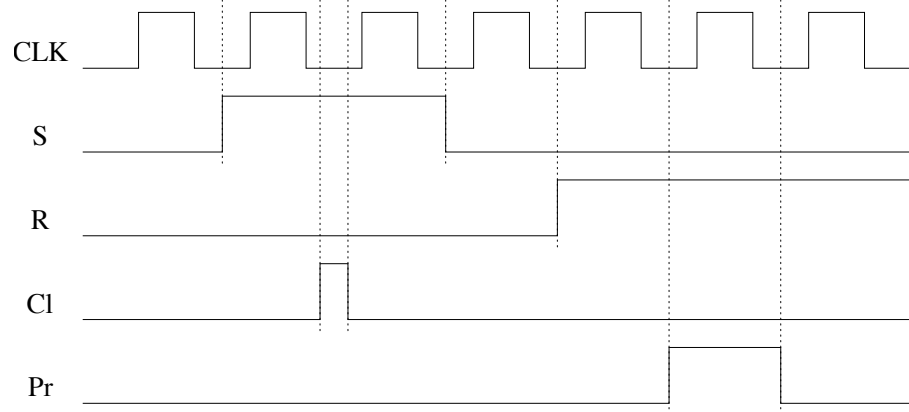


Figura 5.17: Funcionamiento de un flip-flop JK master-slave con entradas $J = K = 1$.

niveles, que cambia indefinidamente de estado mientras el reloj esté activo ($CLK = 1$).

EJERCICIOS

- 5.1. Las formas de onda de la siguiente figura son aplicadas a un flip-flop RS disparado por niveles y con entradas asíncronas de Preset y Clear. Obtener la forma Q resultante suponiendo que inicialmente está en baja.



- 5.2. I) Construir un flip-flop JK a partir de un flip-flop D.
II) Construir un flip-flop JK a partir de un flip-flop T.
III) Construir un flip-flop JK a partir de un flip-flop RS.