

ESTRUCTURA DE COMPUTADORES I

TEMA 6. Segmentación avanzada

1. ¿Cómo se podría modificar el siguiente código para poder usar el hueco de salto retardado?

```
Bucle:      lw   $2, 100($3)
            addi $3, $3, 4
            beq  $3, $4, Bucle
```

2. Identifica todas las dependencias de datos en el siguiente código ¿De las dependencias cuáles son riesgos de datos en el procesador segmentado básico MIPS y cuáles se pueden resolver por anticipación?

```
add $2, $5, $4
add $4, $2, $5
sw  $5, 100($2)
add $5, $2, $4
lw  $3, 0($5)
and $6, $3, $6
```

3. El siguiente código se está ejecutando en un procesador segmentado básico MIPS

```
Bucle:      lw   $t0, 0($s1)
            addu $t0, $t0, $s2
            sw   $t0, 0($s1)
            addi $s1, $s1, -4
            beq  $s1, $zero, Bucle
```

Reordena las intrucciones para evitar los máximos bloqueos posibles.

Una técnica para obtener un mayor rendimiento en los bucles que accede a vectores es el *desenrollado de bucles (Loop Unrolling)*; como el nombre indica, se realizan múltiples copias del cuerpo del bucle y se planifican juntas instrucciones que pertenecen a iteraciones diferentes. Aplica dicha técnica al código anterior y compara el rendimiento entre el código original y el código desenrollado planificado.

4. Se tienen dos procesadores uno utiliza la técnica de Tomasulo y el otro la del marcador con 2 unidades de multiplicación de PF de latencia 5, 2 unidades de suma de PF de latencia 2 y 1 unidad de división de latencia 7. Se está ejecutando el siguiente código en ambos procesadores

```
lwc1  $f0, 4($t0)
add.s  $f2, $f0, $f4
mul.s  $f2, $f2, $f8
swc1   $f2, 4($t0)
```

- a) Muestra la evolución del código en el procesador con la técnica de Tomasulo

- b) Muestra la evolución del código en el procesador con la técnica del marcador
 - c) Muestra las tablas de Tomasulo en los ciclos de reloj 3 y 5 sabiendo que \$t0 tiene el valor 0x10010000 y el registro de punto flotante i tiene el valor $i,0$ y en la posición de memoria A está el datos A .
 - d) Muestra las tablas de Marcador en los ciclos de reloj 3 y 5.
5. Se compara tres procesadores básicos de cinco etapas semejantes al MIPS y el salto se resuelve en la segunda etapa. El procesador A utiliza la técnica de salto fijo no efectivo, el procesador B salto retardado y el procesador C salto retardado y salto retardado con cancelación si el salto es efectivo. Para compara estos procesadores sabemos el resultado de un programa en el procesador C donde el 27% de los huecos de retardo de saltos se rellenan utilizando la estrategia *Desde antes* y en este caso coincidió que un 50% eran saltos no efectivo. El 33% de los saltos utilizan salto retardado con cancelación si el salto efectivo y sólo se anularon un 34% de esos saltos. El resto de los saltos utilizaron la estrategia *Desde Destino* con un 88% de instrucciones útiles en ese caso.