

## Ejercicios - Tema 6: Organización de la E/S

1. Responde si es verdadera o falsa la siguiente afirmación: «Si hacemos 100 veces más rápida una subtarea que supone el 99 % de una tarea total, esta última va a ser solamente unas 50 veces más rápida, aproximadamente».
2. Responde si es verdadera o falsa la siguiente afirmación: «Podemos acelerar un 400 % una tarea (es decir, reducir su latencia) si hacemos 9 veces más rápida una de las subtarear que la componen y que estaba suponiendo el 90 % de su tiempo de ejecución».
3. La carga diaria de un sistema consiste en un 60 % de CPU y un 40 % de actividad de disco. Los usuarios se quejan de la lentitud del sistema. Como administrador, te has informado de las posibles mejoras que podrías introducir y has averiguado que podrías actualizar los discos por un precio de 8000 EUR para hacerlos 2,5 veces más rápidos de lo que son actualmente. También has visto que una actualización de la CPU para conseguir que sea 1,4 veces más rápida te saldría por 5000 EUR.
  - a) Si te quedaras con la opción que ofrece una mayor mejora por la menor cantidad de dinero (una mejor relación mejora/precio), ¿con cuál te quedarías?
  - b) Si el dinero no es problema y quieres hacer el sistema lo más rápido posible, ¿cuál de las dos opciones serían la preferible?
4. El bus de direcciones de un computador tiene 16 líneas de dirección,  $A_{15-0}$ . Si la dirección asignada a un determinado dispositivo es  $0x7CA0$  y el decodificador de direcciones para este dispositivo ignora las líneas  $A_{0-3}$ , ¿Cuáles son todas las direcciones a las que responderá este dispositivo?
5. Un computador con 13 líneas de direcciones tiene una memoria de  $3 \times 2^{11}$  palabras y utiliza entrada/salida *localizada en memoria* (esto es, asignada o mapeada dentro del espacio de memoria). ¿Cuál es el número máximo de periféricos que pueden conectarse, suponiendo que cada uno de ellos utiliza 16 direcciones?
  - a)  $2^{11}$
  - b)  $2^7$
  - c) 2
  - d) Ninguna de las anteriores
6. Determinar el grado de interferencia con el procesador del proceso de encuesta (*polling*) llevado a cabo por el procesador para la gestión programada de la E/S para el caso de tres dispositivos diferentes. El coste en ciclos de procesador que requiere una operación de encuesta, incluidos el salto a la rutina de encuesta, el acceso al dispositivo y el retorno al programa de usuario, se supone que es de 400 ciclos, mientras que el procesador trabaja con un reloj de 500 MHz de frecuencia. Los dispositivos a considerar son:
  - a) Un ratón, que debe de ser encuestado 30 veces por segundo para asegurar que no se pierde ningún evento de su interacción con el usuario.
  - b) Un disco flexible (*floppy disk*), que transfiere datos al procesador en unidades de 16 *bits*, a una velocidad de 50 KB/seg.

- c) Un disco duro, que transfiere datos en bloques de 4 palabras (con 32 *bits/palabra*), y que puede transferir a una velocidad de 4 MB/seg.
7. Para el mismo disco duro y el mismo procesador del ejercicio anterior, calcular la interferencia utilizando E/S por interrupciones. Se supone una sobrecarga o coste para cada transferencia de 500 ciclos de reloj, incluyendo la interrupción. El disco duro sólo realiza transferencias de datos el 5 % del tiempo.
8. Considerando de nuevo el mismo disco duro y procesador que en los anteriores ejercicios, calcular la interferencia de la E/S con el procesador si el disco duro usa DMA, se encuentra transfiriendo datos el 100 % del tiempo y el tamaño medio de las transferencias de disco es de 8 KB. Se asume para el procesador un coste de inicialización de una transferencia mediante DMA de 1000 ciclos de reloj, y un coste de 500 ciclos de reloj para gestionar la interrupción producida tras completarse una operación del DMA. Ignorar el impacto de la posible competencia entre el procesador y el controlador DMA en los accesos al bus.
9. Calcula la interferencia con el procesador de un periférico que recibe bloques de datos de 64 bytes con una velocidad de transferencia de 1 MB/s. La frecuencia del procesador es de 100 MHz, y el módulo de E/S de este periférico lo interrumpe cada vez que recibe un bloque, consumiendo la rutina de tratamiento de la interrupción de este periférico 400 ciclos de procesador.
10. Un computador dispone de un *canal multiplexor* que controla 2 unidades de disco y 10 unidades de cinta. Las unidades de disco tiene una velocidad de transferencia de  $10^6$  *bytes/seg*, y las de cinta de  $10^3$  *bytes/seg*. Razonar cuál es la velocidad máxima de transferencia agregada a este sistema.
11. Un computador dispone de un *canal multiplexor* que controla 5 unidades de disco y 10 unidades de cinta. Las unidades de disco tienen un velocidad de transferencia de  $10^6$  *bytes/seg*, y las de cinta de  $2 \times 10^5$  *bytes/seg*. Para la transferencia de un byte del canal multiplexor a memoria principal se utiliza el bus del sistema durante 200 *nseg*. ¿Qué porcentaje máximo de tiempo estaría ocupado el bus del sistema en una transferencia de datos del canal multiplexor a memoria principal?
- a) 30 %      b) 20 %      c) 14 %      d) Ninguna de las anteriores
12. Supongamos CPUs con bus de direcciones de ancho idéntico. Si una de ellas emplea E/S independiente, y la otra mapeada en memoria, ¿**cuál** podrá acceder a una mayor cantidad de memoria y **por qué**?
- a) La CPU con E/S independiente  
b) La CPU con E/S mapeada en memoria  
c) Ambas podrán acceder a la misma cantidad de memoria  
d) Todas las respuestas anteriores son falsas
13. ¿**Qué** técnica de E/S produce una menor interferencia con el procesador en la transferencia de grandes bloques de datos y **por qué**?

- a) E/S programada
- b) E/S mediante acceso directo a memoria
- c) E/S mediante interrupciones
- d) Todas requieren la misma atención

14. En un sistema con interrupciones encadenadas (*daisy chain*), ¿**de qué** depende la prioridad de un determinado módulo de E/S y **por qué**?

- a) De la prioridad asignada a su línea de interrupción en la cadena
- b) De la CPU
- c) Del controlador de interrupciones de la cadena
- d) De su posición en la cadena

15. Considérese un sistema que gestiona mediante E/S con interrupciones la operación de un dispositivo que transfiere de forma continua datos a una media de 8 KB/s

- a) Si el procesado completo de la interrupción consume  $100\mu s$  (incluye salto a la rutina de servicio, ejecución de la misma y vuelta al proceso principal). ¿Qué porcentaje de interferencia está produciendo la E/S con este dispositivo si interrumpe al procesador para cada byte?
- b) Supongamos ahora que el dispositivo incorpora dos buffers de 16 bytes, de forma que solo interrumpe a la CPU cuando uno de los buffers está lleno. La rutina de interrupción consumirá ahora más tiempo, al ser mayor la cantidad de información a transferir. Concretamente el procesador tarda ahora, una vez que está ejecutando la rutina de servicio,  $8\mu s$  en transferir cada byte adicional (los  $100\mu s$  del caso anterior incluían la transferencia de un único byte). ¿Cuál sería ahora el porcentaje de interferencia?

16. **Dibuja** un mapa de memoria con 256 K posiciones totales, con 16 K posiciones necesarias para el manejo de la E/S, **indicando** las direcciones de comienzo y fin de las distintas zonas relevantes y el número de líneas del bus de direcciones necesarias para los siguientes casos:

- a) E/S aislada
- b) E/S asignada en memoria

17. Calcula la interferencia con un procesador a 2 GHz de un periférico que recibe bloques de datos de 2 KBytes con una velocidad de transferencia de 512 MB/s, en los siguientes casos:

- a) Se utiliza una DMA donde se consumen 900 ciclos en la programación de la DMA y 100 en la interrupción final.
- b) Se utiliza E/S con interrupciones y el módulo de E/S de este periférico interrumpe al procesador cada vez que recibe una palabra (32 bits/palabra). La rutina para el tratamiento de la interrupción de este periférico consume 40 ciclos del procesador.

**Comenta brevemente** los resultados obtenidos en cada caso.

18. Se dispone de un computador con una CPU con bus de direcciones de 32 bits, bus de datos de 32 bits y direccionamiento a nivel de byte.

Esta CPU posee un esquema centralizado de prioridades de interrupción, con un mecanismo de identificación de periféricos mediante interrupciones vectorizadas. Así, un periférico que realiza una petición de interrupción debe suministrar un vector de interrupción de 8 bits. Este vector,  $v$ , se usa como índice de la tabla de vectores de IRQ, cuya dirección de inicio se guarda en el Registro Base de la Tabla de Vectores (*RBTV*).

- a) ¿Cuál sería el contenido del Contador de Programa (*PC*) al finalizar el ciclo de ejecución de una instrucción que es interrumpida? Expresa cómo se obtendría su valor mediante una expresión en lenguaje C ( $PC = \dots$ ) o un pseudocódigo en ensamblador.
- b) A este computador están conectados 2 dispositivos periféricos, P1 y P2.
- P1 transfiere bloques de información de 512 Bytes, con una velocidad de transferencia de 16 KB/s. Este dispositivo dispone, entre otros registros, de un registro de datos de 32 bits, interrumpiendo a la CPU cuando el contenido del registro está listo para ser enviado/recibido (dependiendo de si la operación llevada a cabo es una lectura o una escritura).
  - P2 transfiere bloques de información de longitud variable, pero mayores de 512 Bytes, con una velocidad de transferencia de 1 MB/s. Este dispositivo realiza las transferencias mediante acceso directo a memoria (DMA), activándose su línea de petición de interrupción cada vez que completa la transferencia de un bloque.

¿Cuál de los dos periféricos debería poseer una prioridad de interrupción mayor?  
¿Por qué?

- c) Suponiendo que la rutina de inicio de una operación en P1 dura  $20 \mu\text{s}$ , que la rutina de tratamiento de la interrupción dura  $25 \mu\text{s}$ , y que el periférico comienza a transmitir inmediatamente cuando recibe la orden correspondiente. ¿Cuánto tiempo se invierte en leer un bloque de ese dispositivo? ¿Qué porcentaje de este tiempo está la CPU disponible para realizar otras funciones?