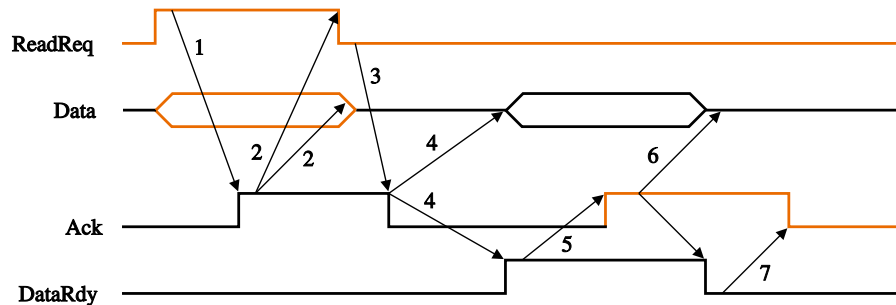


Ejercicios - Tema 7: Buses

- Se desea comparar los anchos de banda máximos de un bus síncrono y otro asíncrono. El bus síncrono tiene un período de ciclo de reloj de 50 ns , y cada transmisión en el bus requiere 1 único ciclo de reloj. El bus asíncrono, por su parte, necesita 40 ns para efectuar *cada* paso del siguiente protocolo de *handshaking* para llevar a cabo la comunicación:



En ambos buses se utiliza un conjunto de 32 líneas multiplexadas para datos y direcciones. Determinar el ancho de banda de ambos buses cuando realizan lecturas de una palabra de 32 *bits* desde una memoria de 200 ns .

- Suponga que tenemos un sistema con las siguientes características:
 - Un sistema de bus-memoria que soporta el acceso a bloques de 4 a 16 palabras de 32 *bits*.
 - Un bus síncrono de 64 *bits* con 200 Mhz de reloj, en el que una transferencia de 64 *bits* requiere de 1 ciclo de reloj y el envío de la dirección a memoria requiere también de 1 ciclo de reloj.
 - Se necesitan dos ciclos de reloj entre cada dos operaciones en el bus (se supone que el bus está disponible antes de cada acceso).
 - El tiempo de acceso a memoria para las cuatro primeras palabras es de 200 ns . Después, cada grupo adicional de cuatro palabras se obtiene en 20 ns . Suponer que la transferencia a través del bus del dato más reciente puede solaparse con la lectura de las cuatro palabras siguientes.

Calcular el ancho de banda y la latencia para una operación de lectura sobre 256 palabras, tanto para transferencias en bloques de 4 palabras como para transferencias en bloques de 16 palabras. Obtener también el número de transacciones de bus por segundo para cada uno de los dos casos.

- Un procesador que tiene un tamaño de palabra de 32 bits está conectado a una memoria mediante un bus síncrono a 200 MHz , con 32 líneas de datos. La memoria permite leer bloques de 4 palabras con un tiempo de acceso de 20 ns . Calcula el ancho de banda de E/S del sistema si se encuentra de forma continua realizando operaciones de lectura sobre bloques de 64 bytes. ¿Cuál sería el resultado si las lecturas se realizaran sobre bloques de 2 palabras?

4. Considérese el siguiente sistema:

- Un procesador que ejecuta 300 millones de instrucciones por segundo y que emplea una media de 50 000 instrucciones del sistema operativo en cada operación de E/S.
- Un bus de memoria *backplane* con una velocidad de transferencia de 100 MB/s.
- Controladores SCSI-2 con velocidad de transferencia de 20 MB/s que permiten la conexión de hasta siete discos cada uno.
- Unidades de disco con un ancho de banda de lectura/escritura de 5 MB/s y un tiempo de acceso medio (tiempo de búsqueda o posicionado + latencia rotacional) de 10 ms.

Suponiendo que la carga de trabajo consiste en lecturas de bloques de 64 KB (con los bloques dispuestos secuencialmente en una pista) y que un programa de usuario necesita 100 000 instrucciones por cada operación de E/S; se pide encontrar la velocidad máxima de E/S que puede alcanzar el sistema, y el número de discos y controladores SCSI necesarios. Considerar que las lecturas siempre se pueden llevar a cabo en un disco inactivo, si es que existe (es decir, ignorar los conflictos de disco).

5. Suponiendo que la programación del controlador DMA consume 100 ciclos de reloj del bus; que la llamada de interrupciones consume 150 ciclos de bus, y que recibimos la información en bloques de 256 bytes con una anchura de bus de 16 bits, con una frecuencia de reloj de 64 Mhz , ¿cuál es el ancho de banda que podemos transferir con una configuración independiente de la DMA (DMA aislada o externa)?

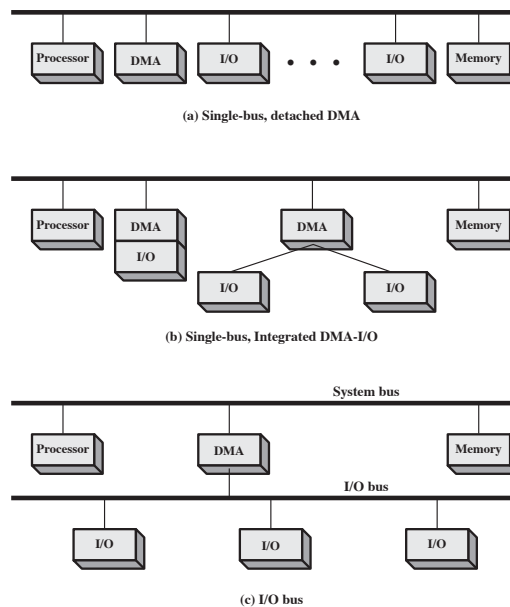


Figure 7.13 Alternative DMA Configurations

6. ¿Cuál es la **mínima** latencia (en unidades de tiempo) que requiere una operación de lectura de tres palabras de 32 bits en un bus PCI de 32 bits a 66 MHz? Razona la respuesta y dibuja el cronograma correspondiente a la transacción. Se supone disponibilidad total de maestro y esclavo durante toda la transacción.
7. La memoria de un ordenador consta de 10 módulos independientes, conectados a un bus de memoria común. Una operación de escritura de una palabra en memoria ocupa el bus al comienzo de la operación, durante un 20% del tiempo total del ciclo de escritura. El resto del ciclo de escritura lo emplea el módulo de memoria correspondiente en almacenar internamente el dato y completar la operación (quedando el bus libre). Si las operaciones de escritura de dichos módulos de memoria pueden solaparse, ¿cuál es la velocidad máxima (en palabras por segundo) de almacenamiento del sistema si el ciclo de escritura de una palabra es de 100 ns? Razona la respuesta.
8. Supongamos que tenemos un sistema con las siguientes características:
 - Un tándem bus-memoria que soporta el acceso a bloques de 4, 8 y 16 palabras de 32 bits.
 - Un bus síncrono de 64 bits a 200 MHz, en el que una transferencia de 64 bits requiere de 1 ciclo de reloj y el envío de la dirección de memoria requiere también de 1 ciclo de reloj.
 - El tiempo de acceso a memoria para las cuatro primeras palabras de un bloque es de 200 ns. Tras esto, cada grupo adicional de cuatro palabras se obtiene en 20 ns. Transferencias y accesos pueden solaparse.
 - Las lecturas y las escrituras en memoria consumen la misma cantidad de tiempo.

El sistema incorpora, además, una memoria caché con política de *post-escritura*, de la que se han obtenido las siguientes medidas de rendimiento:

- Cuando se produce un fallo caché, el 40% de las veces es necesario realizar la operación de post-escritura en memoria principal, mientras que en el resto de las ocasiones solo la lectura es necesaria.
- Una tasa de fallos caché de 0,05 fallos por instruc. para un tamaño de línea de 8 palabras.
- Una tasa de fallos caché de 0,03 fallos por instruc. para un tamaño de línea de 16 palabras.

Suponiendo que el procesador se queda esperando durante la duración completa de un fallo caché (incluyendo el tiempo de post-escritura, si es necesario), ¿cuántos ciclos por instrucción se gastan en la gestión de los fallos caché para los dos tamaños de línea considerados (8 y 16 palabras)? Se aconseja comenzar calculando la penalización media (en ciclos) que tiene un fallo caché para cada una de los dos configuraciones.