

Examen ECM2

26 – Junio - 2001

1. Similitudes y diferencias entre acceso directo y acceso aleatorio. (0.5)
2. Define Tiempo de Acceso. (0.5)
3. Explica el problema de coherencia de E/S en relación en un sistema con caches de Escritura directa y formas de solucionarlo. (¿0.75?)
4. Ventajas y desventajas de los métodos de Compactación y Reemplazo en un sistema segmentado puro. (¿0'75?)
5. Problema de Paginación (muchos datos) (2 puntos)

11 bits de dirección virtual.

TLB de dos entradas (virtual 3 -> real 2)

Tabla de paginas de 8 entradas

4 Paginas físicas.

Dos conjuntos de dos entradas cada uno. (LRU) (3 bits índice, un bit de validez)

- a. ¿ cuantos bits de espacio de zona de almacenamiento???? (0.25)
 - b. ¿ Se puede indexar la caché al mismo tiempo en que decodifica la pagina virtual ? (0.25)
 - c. Si se hace correspondencia directa y la línea se pone a la mitad que espacio que habia antes. ¿ cuanto espacio hay en cada linea? (0.25)
 - d. Indicar como cambia la cache el tlb y la tabla de paginas a medida que llegan estas instrucciones. (1.25)
6. Describir como es el mecanismo de lectura en discos magnéticos y por qué el tiempo medido de posicionado es 25 % del tiempo medio de posicionado especificado por el fabricante (0.75 o 1 punto)
 7. Si la operación desde que se inicia la lectura de datos hasta finalizado lleva 500 ciclos utilizando E/S con interrupciones. Y lo mismo en E/S programada lleva 300 ciclos ¿ por que el señor decide usar E/S con interrupciones? (1 punto o 0.75)
 8. Explicar semejanzas y diferencias entre arbitraje distribuido por autoselección y arbitraje distribuido por detección de colisión.(1 punto o 0.75)
 9. ¿Qué esquema de arbitraje es utilizado en los buses PCI? ¿Por qué se dice que es oculto o solapado ? (0.5)
 10. Un sistema con un bus a 100 Mhz no multiplexado. Permite el envio de 128 bits en un ciclo de reloj de bus y el envio de una dirección también en un ciclo de reloj de bus.
Utiliza un modulo de DMA-E/S acoplado con arbitraje oculto.
El tiempo necesario para programar la DMA es de 150 ciclos de reloj de CPU y 400 ciclo de reloj de BUS. El tiempo necesario para tratar una interrupcion es de 500 ciclos de reloj de CPU y 320 ciclos de reloj de bus.
El tamaño medio de las transferencias es de 8 Kb.CPU a 1 Ghz. El tiempo de acceso a memoria es de 20 nanosegundos. La memoria permite escritura en bloques de 4 palabras de 64bits cada una. Halla la interferencia y el ancho de banda del bus suponiendo que el dispositivo de E/S envía datos el 100% del tiempo. (1'5 puntos)¹

¹

Bueno esto es solo una pequeña “ idea “ de cómo fue el examen de este año.