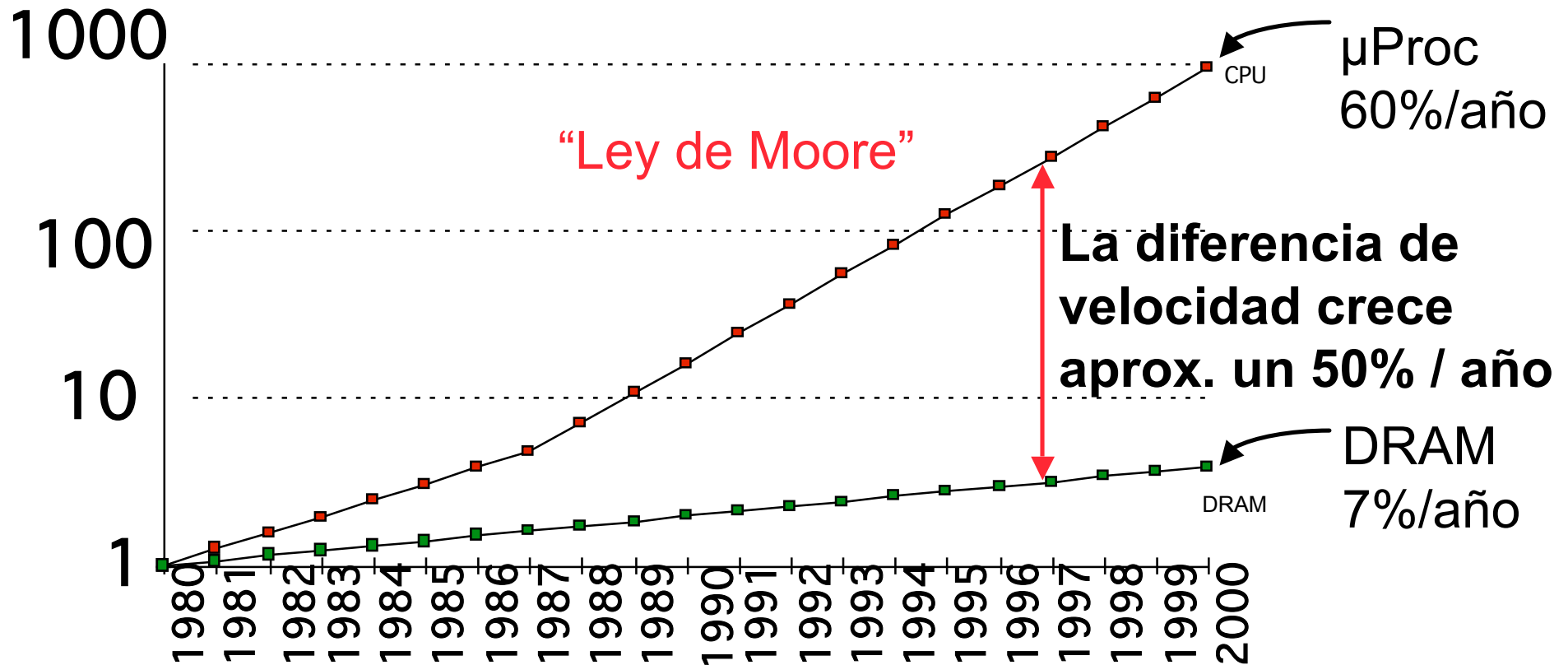


# Memorias RAM

Basilio B. Fraguela Rodríguez

# Evolución de la velocidad del procesador y la memoria



# Soluciones

- Aumento de la tolerancia a la latencia
  - Planificación dinámica de instrucciones
  - Accesos especulativos a memoria
  - Procesamiento multihebra
- Mejora de las prestaciones del sistema de memoria
  - Jerarquía de memoria
  - Entrelazado
  - Tecnologías, buses, protocolos más rápidos

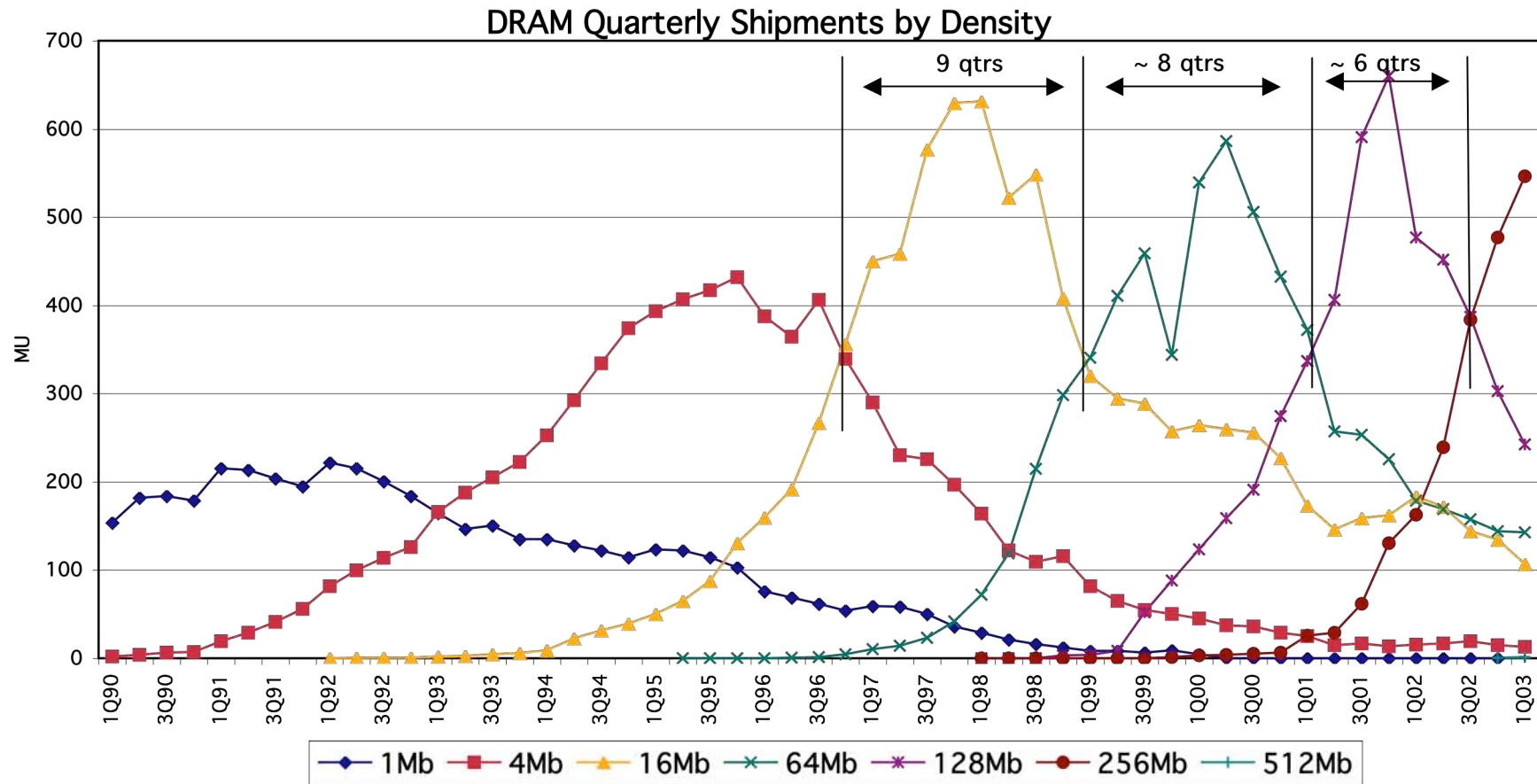
# Tipos de Memoria RAM

- SRAM (*Static Random Access Memory*)
  - Cada celda está constituida por un biestable
    - Aproximadamente requiere 6 transistores/bit
  - Rápidas pero costosas
- DRAM (*Dynamic Random Access Memory*)
  - Cada celda consta de un condensador
    - Tendencia a descargarse  $\Rightarrow$  requiere circuitería de refresco
  - Celda más simple  $\Rightarrow$  mayor densidad, menos consumo y más baratas que las SRAM
  - Se usan en tamaños de memoria grandes
    - El coste de la circuitería de refresco se compensa por el menor coste de las celdas
    - Constituyen la memoria principal del computador
  - Más lentas que las estáticas

# Algunas estadísticas

- Para configurar una SRAM con la misma capacidad de una DRAM se requerirían hasta 16 veces el número de chips de la DRAM
- El coste por bit de la SRAM es entre 8 y 16 veces el de la DRAM
- El tiempo de acceso a una memoria DRAM es entre 8 y 16 veces el tiempo de acceso a una SRAM
- La capacidad de las DRAM se duplica aproximadamente cada dos años

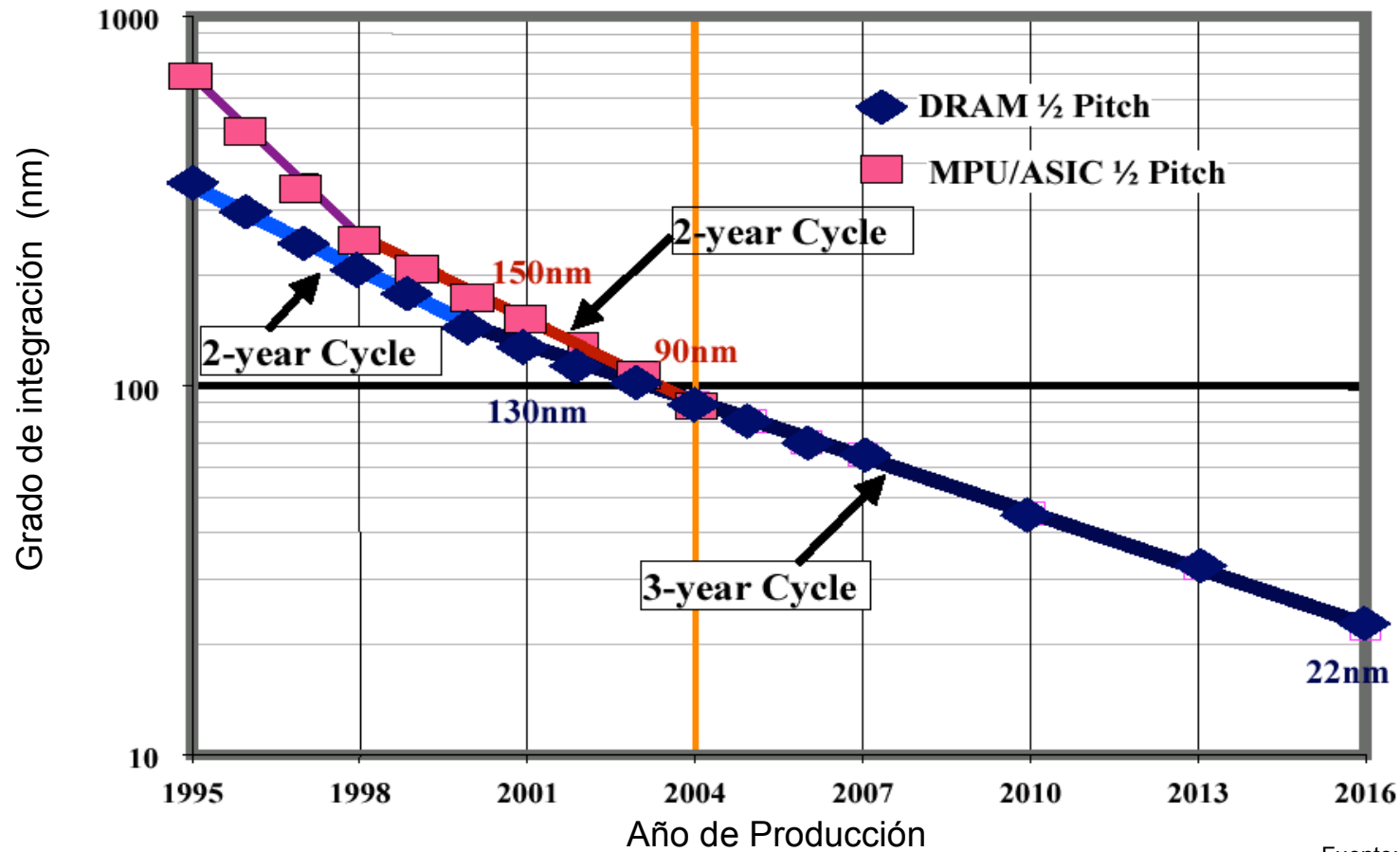
# Evolución del tamaño de los chips de DRAM



Fuente: In-Stat, Semico Research, WSTS, iSuppli, Micron Marketing

Copyright Basilio B. Fraguera 2006

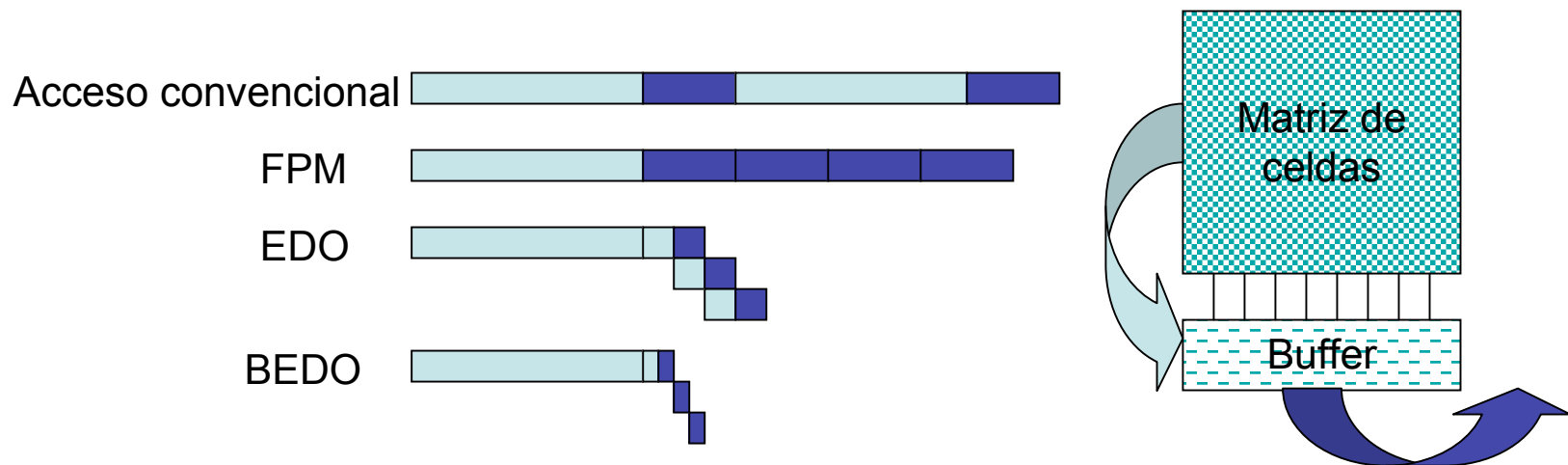
# Evolución de la escala de integración de los chips



Fuente: ITRS, 2002

# Mejora de prestaciones de las DRAM

- Sus accesos presentan mucha localidad espacial
  - Razón: un fallo en las cachés implica la lectura de una línea completa de caché
  - Varias técnicas para mejorar el acceso a posiciones consecutivas
  - El rendimiento del acceso a datos aislados es similar





# Familias de memorias DRAM asíncronas

- FPM DRAM (*Fast Page Mode*)
  - Mantiene constante la dirección de fila mientras se leen consecutivamente los datos de varias columnas
  - Este modo de acceso se mantiene en las siguientes arquitecturas
- EDO DRAM (*Extended Data Out*)
  - Añade un latch entre los amplificadores y los terminales de salida
  - Permite desactivar CAS antes y mantener el estado del terminal mientras se inicia el acceso a la siguiente línea
- BEDO DRAM (*Burst EDO*)
  - Se añade un contador que genera números sucesivos de columnas a acceder
  - Evita tener que generar las sucesivas señales CAS

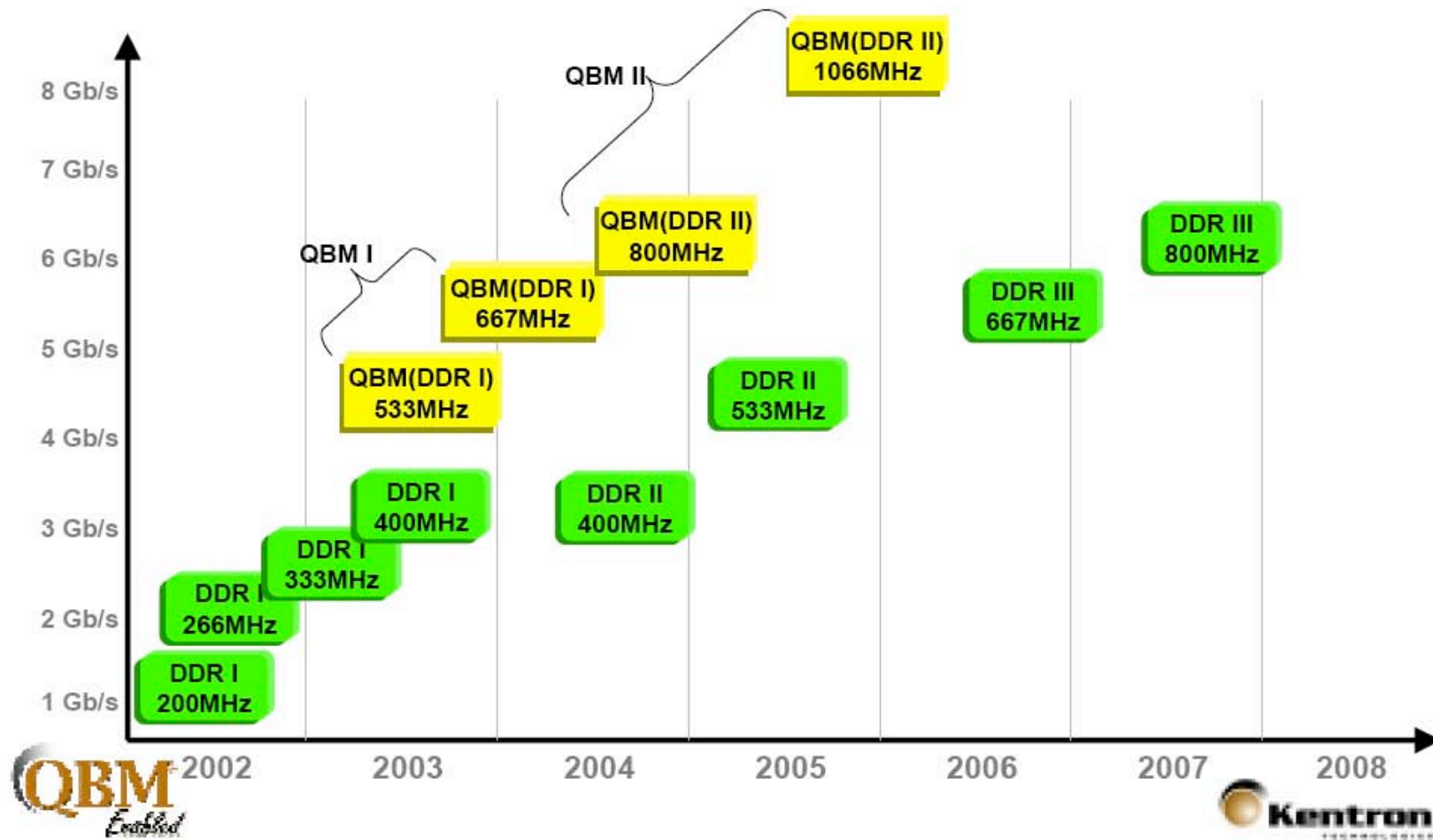
# SDRAM (DRAM Síncronas)

- Interfaz síncrona
  - Intercambia señales de control con el controlador de memoria sincronizándose con una señal de reloj
  - Permite al procesador hacer otras tareas mientras realiza operaciones de acceso a memoria en lugar de esperar
- DDR SDRAM (*Double Data Rate*)
  - Transfiere datos tanto en el flanco de subida como en el de bajada de la señal de reloj
  - Doble ancho de banda con la misma frecuencia de reloj
  - Reducen el voltaje un 30% respecto a la SDRAM
- QBM DDR SDRAM (*Quad Band Memory DDR*)
  - Varios bancos por módulo con salidas desfasadas
  - Permite dos transferencias DDR por ciclo
  - Similaridades con el entrelazado
  - Latencia similar a las DDR, pero mucho mayor ancho de banda

# SDRAM (DRAM Síncronas)

- DDR2 SDRAM (*Double Data Rate 2*)
  - Los búferes de E/S trabajan al doble de la velocidad de la frecuencia del núcleo
  - En cada ciclo de reloj se realizan 4 transferencias.
  - Mucho mayor ancho de banda DDR
  - Casi doble de latencia que las DDR
  - Reduce el voltaje aprox. un 50% (2.5 a 1.8V)

# Comparación DDR/DDR II/QBM



# Rambus DRAM (RDRAM)

- Diseño propietario  $\Rightarrow$  precio elevado
- Gran ancho de banda con menor número de módulos que otras tecnologías
- Inicialmente mayor latencia que las DDR
- Evolucionó a
  - Direct Rambus DRAM (DRDRAM)
    - Bus más ancho
    - Transferencias segmentadas
  - XDR DRAM
    - Actualmente funciona a 3.2 GHz con un ancho de 2 bytes
    - Planes para llegar a 8 GHz