

TEMA 10. FAMILIAS LÓGICAS TTL.

Las familias lógicas TTL (*Transistor-Transistor Logic*) están fabricadas a partir de BJT *npn* y resistencias, son las más antiguas en uso y aún siguen siendo populares en sistemas digitales que utilizan circuitos integrados a escala pequeña, media y gran escala de integración (SSI, MSI, LSI). A pesar de que han sido sustituidas por las familias lógicas CMOS y BICMOS en la mayor parte de las aplicaciones, TTL sigue constituyendo un estándar de referencia de la electrónica digital.

10.1 CARACTERÍSTICAS DE TTL.

10.1.1 Estructura y funcionamiento del inversor TTL estándar.

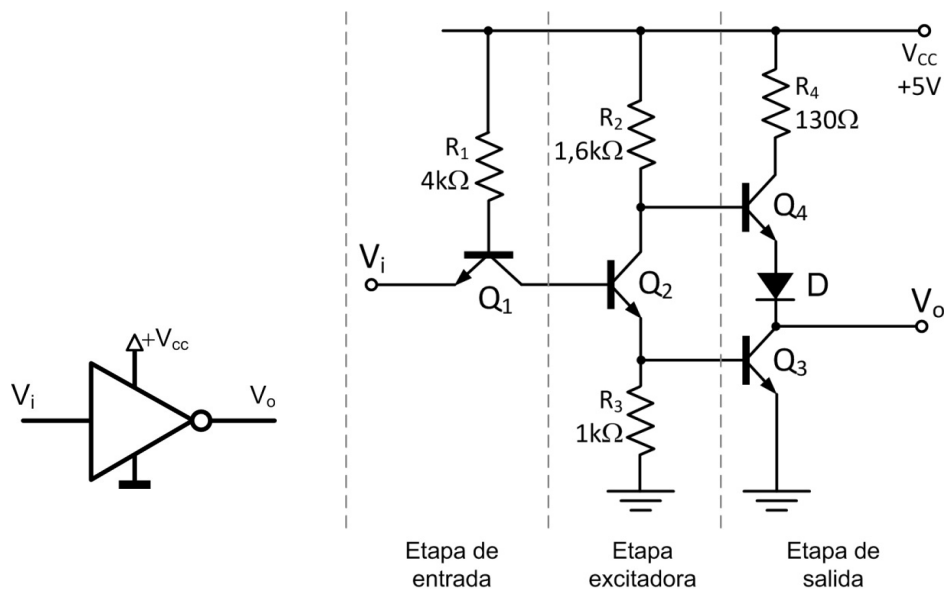


Fig. 10.1. Inversor TTL estándar.

La familia TTL estándar es una familia saturante, porque la mayor parte de los transistores trabajan en corte y saturación. En la figura 10.1 se muestra una puerta inversora TTL estándar alimentada a +5 V, dividida en tres partes para comprender mejor su funcionamiento:

- *Etapa de entrada.* El transistor Q_1 tiene por objeto producir la conmutación rápida de Q_2 .
- *Etapa excitadora:* La etapa excitadora asociada al transistor Q_2 tiene por objeto generar las dos señales complementarias necesarias para excitar el circuito de salida.
- *Etapa de salida TTL:* La etapa de salida contiene los transistores Q_3 y Q_4 en conexión tipo tótem (*totem-pole*). Esta etapa de salida requiere para ser excitada dos corrientes I_{B3} e I_{B4} producidas por la etapa excitadora mencionada anteriormente, las cuales tienen la característica de estar una activa y la otra inactiva. La resistencia R_4

tiene como función limitar la corriente de salida en caso de cortocircuito en la salida y en las transiciones.

Cuando se aplica una tensión de entrada de nivel bajo $V_i = V_{iL} \approx 0 \text{ V}$, Q_1 entra en saturación (ON), Q_2 corta (OFF) porque no recibe corriente de base, y Q_3 también corta (OFF) porque tampoco recibe corriente de base. La salida se pone a nivel alto $V_{OH} \approx 3,8 \text{ V}$ a través de la conducción de Q_4 (ON) en activa (o en saturación cuando la corriente de salida I_{OH} es alta). Nótese que la salida no alcanza $V_{CC} = 5 \text{ V}$ debido a las caídas en la unión BE de Q_4 y en el diodo D.

Cuando se aplica una tensión de entrada de nivel alto $V_i = V_{iH} \approx 5 \text{ V}$, Q_1 entra en activa en inversa¹ (INV), Q_2 satura (ON) con la corriente saliente del colector de Q_1 , Q_3 satura (ON) con la corriente que recibe del emisor de Q_2 , y Q_4 corta (OFF) cuando Q_2 y Q_3 están saturados debido a la caída en D. La salida se pone a nivel bajo $V_{OL} \approx 0,2 \text{ V}$.

V_i	Q_1	Q_2	Q_3	Q_4	V_o
0 (L)	ON	OFF	OFF	ON	$\approx V_{CC}$ (H)
V_{CC} (H)	INV	ON	ON	OFF	≈ 0 (L)

10.1.2 Característica de transferencia del inversor TTL estándar.

La característica de transferencia de entrada-salida del inversor TTL de la figura 10.1 ha sido obtenida examinando el comportamiento del circuito para entradas que varían desde 0 hasta V_{CC} .

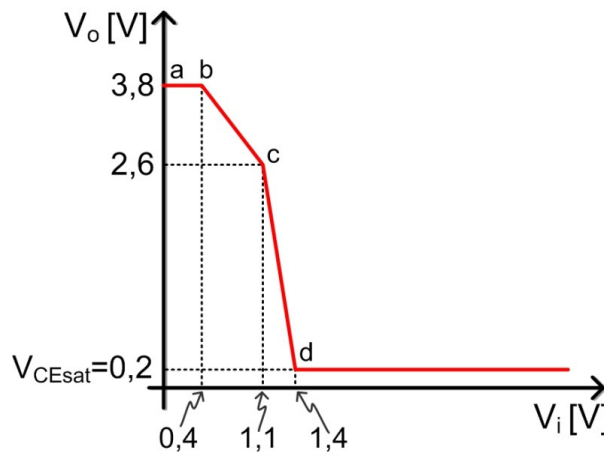


Fig. 10.2. Característica de transferencia del inversor TTL estándar.

¹ La región activa inversa se produce cuando la unión emisor-base del BJT se polariza en inversa y la unión colector-base en directa. Mientras que la región activa es utilizada en amplificación y las de saturación y corte en conmutación, esta región activa inversa del BJT se utiliza raramente. En esta región, el parámetro beta del transistor es mucho menor al de activa.



La característica de transferencia calculada se representa mediante la gráfica de tramos rectos de la figura 10.2. Esta gráfica tiene cuatro segmentos distintos que están relacionados con las regiones de operación de los dispositivos de la puerta. Para la obtención de los valores calculados se supuso la puerta sin carga (es decir, $I_o = 0$), y no se tuvieron en cuenta variaciones de la tensión de la fuente de alimentación y de la temperatura.

Los fabricantes de TTL por lo general dan valores garantizados para los parámetros $V_{OHMÍN}$, $V_{OLMÁX}$, $V_{ILMÁX}$ y $V_{IHMÍN}$, para una tolerancia especificada de la tensión de alimentación y en unas condiciones de carga asociadas a un *fan-out* determinado, por ejemplo, $N = 10$ para TTL estándar (*serie 74*). Estos valores son $V_{OLMÁX} = 0,4 \text{ V}$, $V_{OHMÍN} = 2,4 \text{ V}$, $V_{ILMÁX} = 0,8 \text{ V}$ y $V_{IHMÍN} = 2 \text{ V}$, que conforman lo que se conoce como **niveles estándar TTL**.

Los márgenes de ruido son:

$$V_{NL} = NM_L = V_{ILMÁX} - V_{OLMÁX} = 0,4 \text{ V},$$

$$V_{NH} = NM_H = V_{OHMÍN} - V_{IHMÍN} = 0,4 \text{ V}.$$

10.1.3 Retardo de propagación.

El tiempo de propagación de puertas TTL se define como la media de los tiempos de retardo medidos entre puntos de 1,5 V en los flancos correspondientes a las ondas de entrada y salida. Para TTL estándar t_p es típicamente de unos 10 ns y está causado fundamentalmente en esta lógica saturante por los tiempos de almacenamiento en los BJT que se saturan, especialmente por Q_3 . La frecuencia máxima especificada es de 35 MHz.

10.1.4 Corrientes de entrada y salida.

Los fabricantes suministran los siguientes valores para un FAN-OUT de 10:

$$I_{ILMÁX} = -1,6 \text{ mA}, I_{IHMÁX} = 40 \mu\text{A}, I_{OLMÁX} = 16 \text{ mA}, I_{OHMÁX} = -0,4 \text{ mA}.$$

$$\text{FAN - OUT} = \text{MÍN.} \left\{ E \left| \frac{I_{OHMÁX.}}{I_{IHMÁX.}} \right|, E \left| \frac{I_{OLMÁX.}}{I_{ILMÁX.}} \right| \right\} = 10.$$

10.1.5 Disipación de potencia.

En lo que respecta a la potencia estática, observando las corrientes que se cierran por la alimentación en cada uno de los estados de la salida resulta que para salida alta la potencia estática es de $P_{CCH} \approx 5 \text{ mW}$ y que para salida baja es de $P_{CCL} \approx 16 \text{ mW}$. Por lo tanto, el promedio de disipación es 10,5 mW, que da como resultado un producto de retardo de propagación-potencia de 100 pJ.

En cuanto a la potencia dinámica, además de la potencia debida a la capacidad de carga C_L dada por $P_{CL} = f C_L V_{CC}^2$, se ha de considerar la potencia debida a los picos de corriente que se producen en las conmutaciones de salida de la puerta a través de la

alimentación por la conducción simultánea en saturación de los transistores Q_3 y Q_4 que constituyen la salida *tótem*. Estos pulsos de corriente por la alimentación tienen una amplitud del orden de 30 mA y una duración en torno a 1 ns.

10.2 PUERTAS LÓGICAS TTL ESTÁNDAR.

10.2.1 TTL NAND.

La puerta TTL NAND que se representa en la figura 10.4 se obtiene a partir del inversor TTL básico mediante la modificación del BJT de entrada Q_1 a un transistor multiemisor cuya estructura se representa en la figura 10.3. Cada uno de los emisores de este dispositivo puede crear de forma independiente una unión base-emisor con polarización directa y hacer que el transistor entre en su región activa o de saturación.

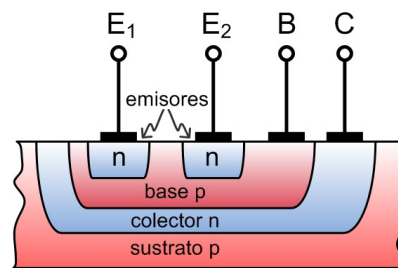


Fig. 10.3. Transistor de entrada Q_1 multiemisor.

Se puede comprobar fácilmente que la puerta de la figura 10.4 ejecuta la función NAND. La salida será alta si una (o ambas) entradas es (o son) baja(s). La salida será baja cuando ambas entradas sean altas. La ampliación a más de dos entradas se logra difundiendo más regiones de emisor.

Aún cuando teóricamente se puede dejar en circuito abierto un terminal de entrada sin uso, esta no es una buena práctica en general. Un terminal de entrada en circuito abierto actúa como una “antena” que capta señales de interferencia y por ello puede causar una conmutación errónea de la puerta. Un terminal de entrada sin uso, por lo tanto, debe conectarse al positivo de la fuente de alimentación a través de una resistencia (de 1 k Ω , por ejemplo). De esta forma, la unión base emisor correspondiente de Q_1 estaría polarizada inversamente y no tendrá efecto en la operación de la puerta. La resistencia tiene por objeto limitar la corriente en el caso de ruptura de la unión base-emisor.

B	A	Q_1	Q_2	Q_3	Q_4	F
L	L	ON	OFF	OFF	ON	H
L	H	ON	OFF	OFF	ON	H
H	L	ON	OFF	OFF	ON	H
H	H	INV	ON	ON	OFF	L

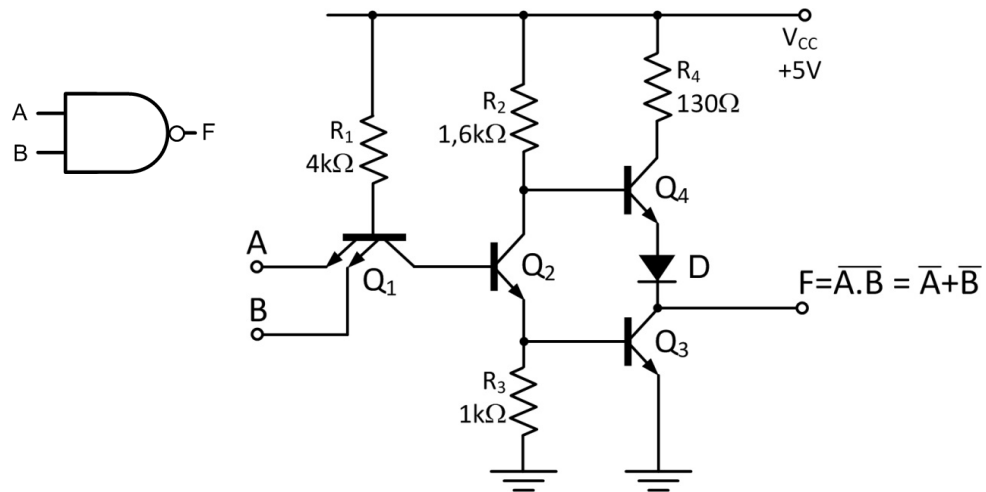


Fig. 10.4. Puerta TTL NAND.

10.2.2 TTL NOR.

La capacidad lógica NOR se introduce fácilmente en la etapa excitadora formada por Q_2 donde varios transistores se pueden conectar en paralelo. El circuito de la figura 10.5 muestra una puerta NOR de dos entradas. Si ambas entradas A y B son bajas, entonces Q_{2A} y Q_{2B} se forzarán al corte y la salida tótem será alta con $I_{B3} = 0$. Si cualquiera de las entradas es alta, entonces Q_{2A} ó Q_{2B} se saturará, forzando a $I_{B4} = 0$ y permitiendo que I_{B3} sature a Q_3 . La salida resultante será baja.

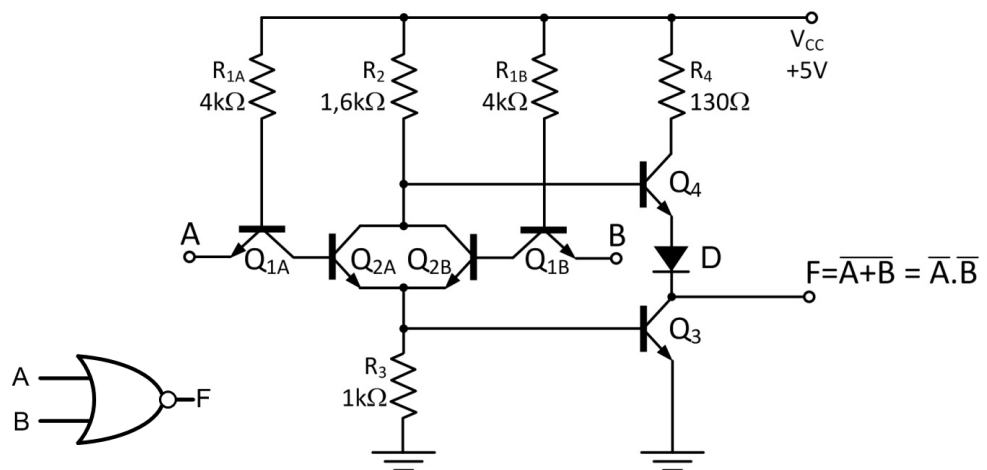


Fig. 10.5. Puerta TTL NOR.

B	A	Q _{1A}	Q _{1B}	Q _{2A}	Q _{2B}	Q ₃	Q ₄	F
L	L	ON	ON	OFF	OFF	OFF	ON	H
L	H	INV	ON	ON	OFF	ON	OFF	L
H	L	ON	INV	OFF	ON	ON	OFF	L
H	H	INV	INV	ON	ON	ON	OFF	L

Para poder realizar cableado lógico en TTL los fabricantes incorporan algunos miembros de cada familia con salidas a colector abierto y de tres estados o triestado.

10.3 FAMILIAS TTL.

10.3.1 TTL Schottky (STTL).

Los tiempos de retardo en la configuración TTL básica están causados fundamentalmente por la carga almacenada en la base del transistor BJT saturado. El funcionamiento dinámico de la puerta se puede mejorar conectando un diodo Schottky a través de la unión base-colector de todos los transistores que se saturan. Esta conexión se muestra en la figura 10.6.

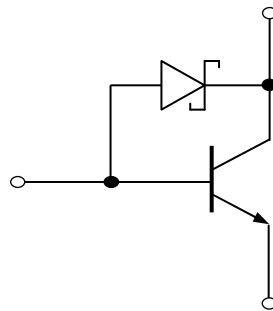


Fig. 10.6. Conexión de un diodo Schottky a través de la unión base-colector.

El diodo Schottky formado mediante una unión metal-semiconductor tipo n tiene un voltaje de activación de aproximadamente 0,3 V y una carga de almacenamiento despreciable, bajo condiciones de polarización directa. Los diodos Schottky son pequeños y no aumentan significativamente el área del circuito integrado. Dado que el diodo Schottky se convierte en parte integral del transistor, el conjunto se conoce como transistor Schottky y se representa por el símbolo indicado en la figura 10.7.

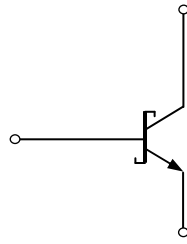


Fig. 10.7. Símbolo del transistor Schottky.

Durante la operación del BJT en corte y en activa, el diodo Schottky está polarizado inversamente y no afecta al comportamiento del transistor. Cuando el transistor BJT es llevado a saturación, en cambio, el potencial de colector cae por debajo del de la base, el diodo Schottky se polariza directamente y fija por tanto el voltaje base-colector en aproximadamente $V_{BC} \approx 0,4$ V. Suponiendo para el BJT conduciendo en activa $V_{BE} \approx 0,7$ V, resulta que $V_{CE} = V_{BE} - V_{BC} \approx 0,7 - 0,4 = 0,3$ V. Este voltaje es suficiente para que el transistor entre en saturación, pero débilmente (casi-saturación). Incrementos adicionales de corriente en la entrada sirven únicamente para aumentar la corriente por el diodo, pero no llevan al transistor más profundamente a la saturación. La acción del fijador Schottky impide que se acumule una carga excesiva en la región de base del BJT. Sin la necesidad de eliminar esta carga durante las operaciones de conmutación, los tiempos de retardo se hacen mucho menores en la transición de saturación a corte.

El diodo Schottky se añade al BJT durante la fabricación del dispositivo extendiendo el electrodo de contacto metálico de la base por encima de la región de colector, como se puede observar en la figura 10.8. El electrodo de contacto será de un metal adecuado, normalmente aluminio o platino.

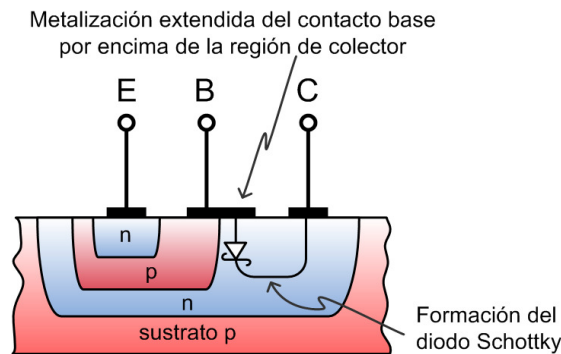


Fig. 10.8. Fabricación del transistor Schottky.

10.3.2 TTL Schottky de baja disipación (LSTTL).

Quizás es la familia TTL más ampliamente usada. Combina los transistores Schottky con elevados valores de resistencia, igualando la velocidad de conmutación de la TTL estándar, pero reduciendo el consumo a aproximadamente una quinta parte.

10.3.3 TTL avanzadas (ASTTL, ALSTTL y FTTL).

Estas familias se obtuvieron como consecuencia de mejoras debidas a desarrollos en la tecnología de proceso y manufactura.

- **ASTTL** proporciona velocidades aproximadamente dos veces más rápidas que STTL con el mismo consumo de energía.
- **ALSTTL** ofrece tanto elevada velocidad como baja disipación, mejorando a LSTTL, a la que sustituye.
- **FTTL** es un compromiso entre AS y ALS.

Parámetro	74	74S	74LS	74AS	74ALS	74F
$V_{ILMÁX}$, en V	0,8	0,8	0,8	0,8	0,8	0,8
$V_{IHMÍN}$, en V	2,0	2,0	2,0	2,0	2,0	2,0
$V_{OLMÁX}$, en V	0,4	0,5	0,5	0,5	0,5	0,5
$V_{OHMÍN}$, en V	2,4	2,7	2,7	2,7	2,7	2,7
t_{pd} , en ns con $C_L=50pF$.	10	3	10	1,5	4	2,5
P_D , en mW	10	20	2	8	1	4
DP, en pJ	100	60	20	12	4	10

10.4 COMPARATIVA TTL-CMOS.

COMPARATIVA DE FAMILIAS LÓGICAS TTL-CMOS (+5 V)

$V_{CC}=+5V$	TTL	LSTTL	ALSTTL	CMOS	HCMOS	ACMOS
$V_{ILMÁX}(V)$	0,8	0,8	0,8	1,5	1,5	1,5
$V_{IHMÍN}(V)$	2	2	2	3,5	3,5	3,5
$V_{OLMÁX}(V)$	0,4	0,5	0,5	0,5	0,1	0,1
$V_{OHMÍN}(V)$	2,4	2,7	2,5	4,5	4,9	4,9
$I_{ILMÁX}(mA)$	-1,6	-0,4	-0,1	-0,1 μA	-1 μA	-1 μA
$I_{IHMÁX}(\mu A)$	40	20	20	0,1	1	1
$I_{OLMÁX}(mA)$	16	8	8	0,5	4	24
$I_{OHMÁX}(mA)$	-0,4	-0,4	-0,4	-0,5	-4	-24
Rango $V_{CC}(V)$	5 \pm 5%	5 \pm 5%	5 \pm 10%	3 a 15	2 a 6	3 a 5,5
$P_d(mW)/1MHz$	10	2	1	0,5	0,5	0,5
$t_p(ns)/50pF$	10	9	4	50	10	3
$f_{MÁX}(MHz)$	35	45	70	12	40	125

En la tabla anterior, en la que se recoge la comparación de las características de TTL y CMOS a +5V, se observa:

- Incompatibilidad de niveles: $V_{OHMÍN}(TTL) = 2,4 V < V_{IHMÍN}(CMOS) = 3,5 V$. Para poder interconectar una salida TTL a una entrada CMOS hay que añadir una resistencia de elevación.

- El bajo consumo de las entradas CMOS frente a las TTL.
- En cuanto a velocidad, la familia HCMOS sustituye a LSTTL y la ACMOS sustituye a ALSTTL, con una reducción muy importante en disipación de potencia, ya que en las familias CMOS es prácticamente cero en estática.

Comparación de niveles lógicos TTL y CMOS (5 V y 3,3 V)

Para CMOS alimentadas en baja tensión de 3,3 V se ha especificado un estándar JEDEC (agrupación de estándares de fabricantes de circuitos integrados), con dos conjuntos de niveles lógicos (ver figura 10.9):

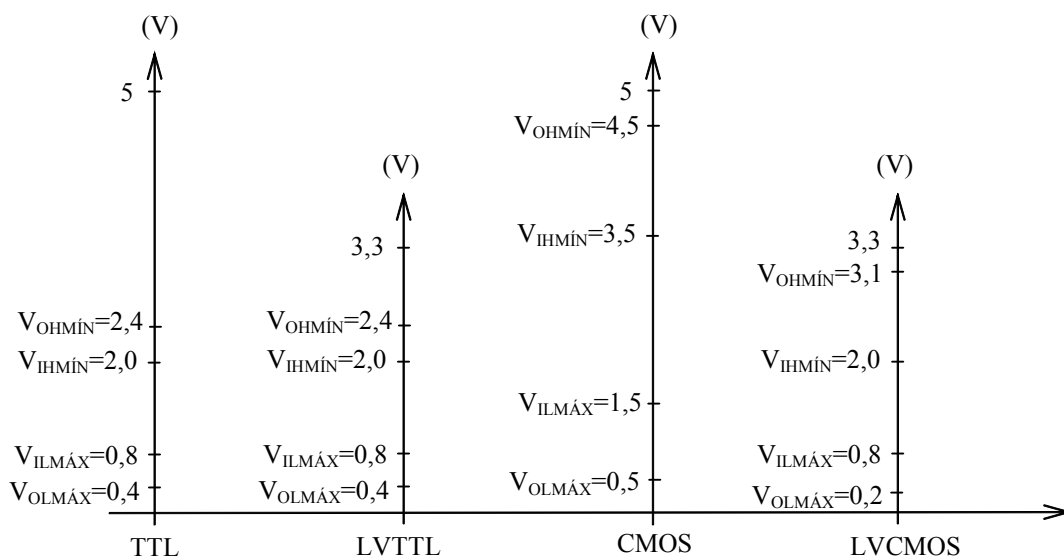


Fig. 10.9. Comparativa de niveles lógicos TTL y CMOS (5 V y 3,3 V).

- **LVCMOS** (*low voltage CMOS*) se utilizan en aplicaciones CMOS puras donde las salidas tienen poco consumo en estática, de modo que V_{OL} y V_{OH} pueden estar a 0,2 V de los valores límite de alimentación, para corrientes de salida $I_o = \pm 100 \mu A$.
- **LVTTL** (*low voltage TTL*) con niveles idénticos a los valores estándar de la familia TTL, se emplean en aplicaciones donde las corrientes de salida en estática son importantes, de manera que V_{OL} puede ser tan alto como 0,4 V y V_{OH} tan bajo como 2,4 V, para $I_o = \pm 2 \text{ mA}$.

Las salidas de puertas LVTTL (3,3V) pueden controlar directamente entradas TTL (5V). Las salidas de puertas TTL (5V) pueden controlar entradas LVTTL (3,3V) si éstas son tolerantes a +5V. Las salidas triestado TTL (5V) y las salidas triestado LVTTL (3,3V) pueden cablearse si éstas son tolerantes a +5V.