

TEMA 9. FAMILIAS LÓGICAS CMOS.

Un proceso *CMOS* (*MOS* complementarios) es aquel en el que se combinan, en un mismo circuito integrado, transistores Mosfet de acumulación de canal *n* (*NMOS*) y de canal *p* (*PMOS*). *CMOS* es la tecnología preferida en la fabricación de circuitos integrados como memorias, microprocesadores, familias lógicas estándar, matrices de puertas y circuitos lógicos programables.

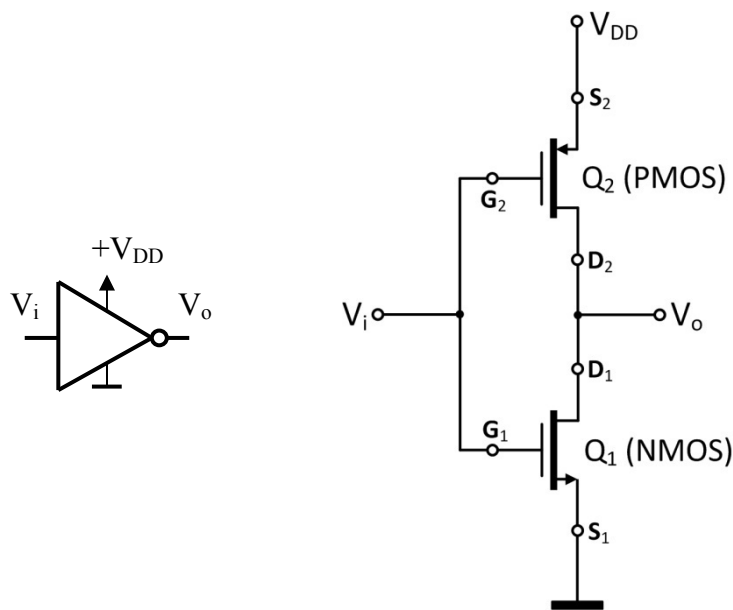


Fig. 9.1. Inversor CMOS.

9.1 CARACTERÍSTICAS DEL INVERSOR CMOS.

9.1.1 Estructura y funcionamiento del inversor CMOS.

La puerta básica en *CMOS* está representada por un inversor (*NOT*) y está compuesta por un transistor de canal *n* y otro de canal *p*, acoplados en conexión complementaria tótem (*totem-pole*). Cada sustrato se une a su fuente. Las puertas de ambos están unidas y proporcionan el terminal de entrada, y los drenadores también se unen y constituyen el terminal de salida. La fuente del transistor de canal *n* se une a masa y la fuente del de canal *p* se une al positivo de alimentación V_{DD} , que admite un amplio rango de valores (de 3 a 15 V en la serie 4000B con longitud de canal de 7 a 9 μm).

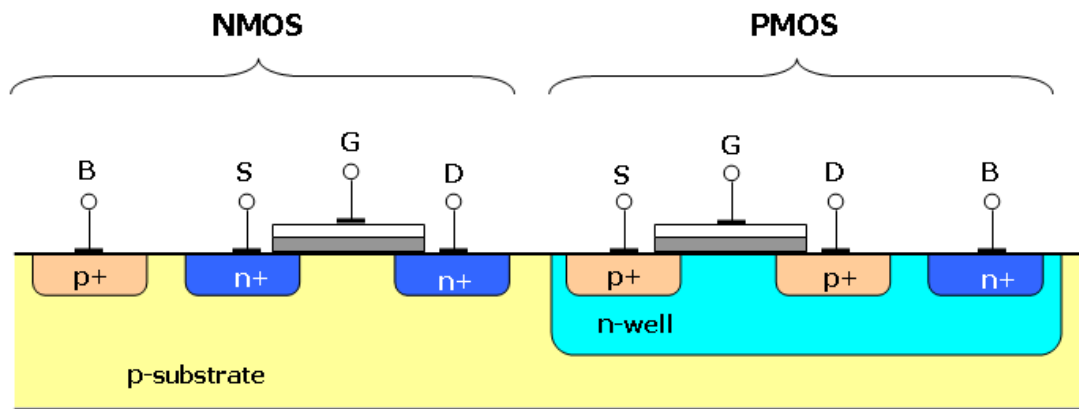


Fig. 9.2. Estructura del inversor CMOS.

En la Fig. 9.2 se muestra un corte en sección de los dos transistores de una puerta inversora CMOS. El NMOS es fabricado sobre un sustrato tipo p, y el terminal de sustrato se conecta a V_{SS} (0 V). El PMOS se fabrica sobre un pozo tipo n (*n-well*) y su terminal de sustrato se conecta a V_{DD} .

9.1.1.1 Funcionamiento básico en conmutación.

Cuando la tensión de entrada es baja ($V_i = V_{iL} = 0$), la tensión puerta-fuente del NMOS es $V_{GS1} = 0$, con lo que está en corte (OFF), la tensión fuente-puerta del PMOS es $V_{SG2} = V_{DD}$, con lo que está en conducción (ON), y mantiene la tensión de salida a nivel alto $V_o = V_{OH} = V_{DD}$, en el punto A de las características de salida (ver Fig. 9.3). Nótese que aunque el PMOS está operando a corriente y tensión de fuente-drenador casi cero, proporciona un camino de baja resistencia entre la salida y el positivo de alimentación V_{DD} , y por ello se le llama transistor de subida (*pull-up*).

Cuando la tensión de entrada es alta ($V_i = V_{iH} = V_{DD}$), la tensión fuente-puerta del PMOS es $V_{SG2} = 0$, con lo que está en corte (OFF), la tensión puerta-fuente del NMOS es $V_{GS1} = V_{DD}$, con lo que está en conducción (ON), y mantiene la tensión de salida a nivel bajo $V_o = V_{OL} = 0$, en el punto B de las características de salida (ver Fig. 9.3). Nótese que aunque el NMOS está operando a corriente y tensión de drenador-fuente casi cero, proporciona un camino de baja resistencia entre la salida y masa (0 V), y por ello se le llama transistor de caída (*pull-down*).

Por lo tanto, en estado de reposo, no existe un camino para la corriente directa desde V_{DD} a masa, y la corriente estática y la disipación de potencia estática son ambas cero (los efectos de fuga suelen ser tan pequeños que casi siempre son despreciables).

En la tabla siguiente, se indican esquemáticamente las tensiones puerta-fuente y de salida antes mencionadas, tanto para señal de entrada de nivel alto como bajo.

V_i	V_{GS1}	V_{SG2}	$Q1$	$Q2$	V_o
0 (L)	0	V_{DD}	OFF	ON	V_{DD} (H)
V_{DD} (H)	V_{DD}	0	ON	OFF	0 (L)



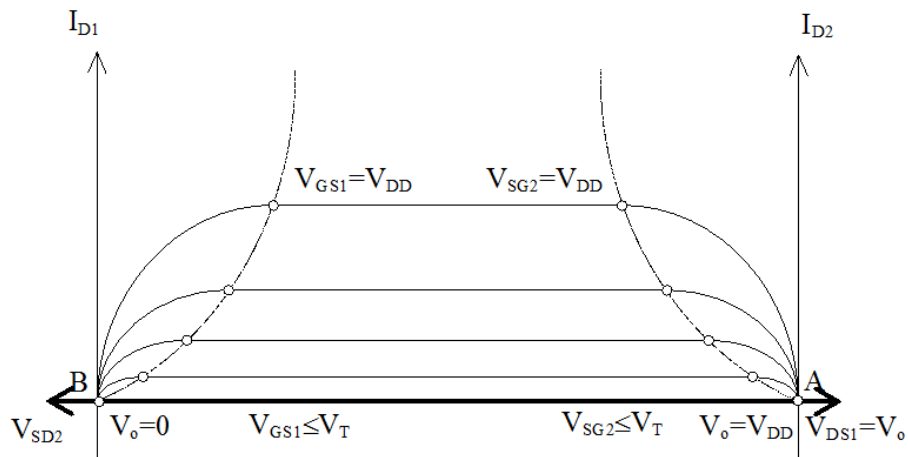


Fig. 9.3. Funcionamiento básico en conmutación del inversor CMOS.

9.1.2 Característica de transferencia del inversor CMOS.

Supongamos que se construye un inversor CMOS de tal modo que los dos transistores, canal *n* y canal *p*, están igualados, con valores idénticos de los parámetros de transconductancia, $k_1 = k_2 = k$, y de los valores de tensión umbral $V_{T1} = |V_{T2}| = V_T$. Supongamos también que la tensión de alimentación V_{DD} es mayor que dos veces la magnitud de la tensión umbral ($V_{DD} > 2V_T$). Dado que las entradas CMOS no consumen corriente, suponemos para simplificar que no hay corriente de carga a la salida de la puerta ($I_o = 0$).

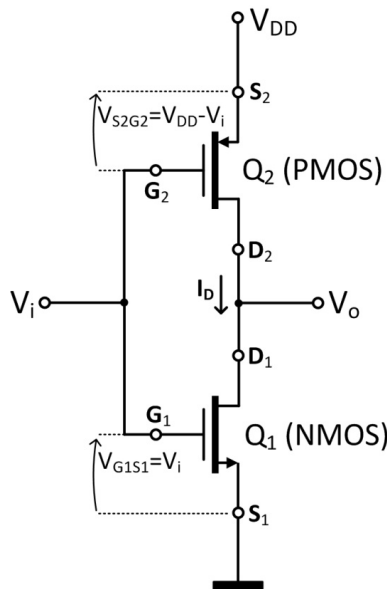


Fig. 9.4. Inversor CMOS: $k_1 = k_2 = k$, $V_{T1} = |V_{T2}| = V_T$ y $V_{DD} > 2V_T$.



Conforme la tensión de entrada V_i varía de cero al valor máximo V_{DD} , la tensión de salida V_o se reduce desde V_{DD} a cero. Dependiendo de la tensión de entrada V_i , la característica de transferencia puede dividirse en cinco regiones.

- La **región I** corresponde a $0 \leq V_i \leq V_T$. Puesto que $V_{GS1} \leq V_T$, el transistor Q_1 (NMOS) se mantiene al corte. Como $I_D = 0$, $V_{SD2} = 0 \leq V_{SG2} - V_T = V_{DD} - V_i - V_T$, y entonces el transistor Q_2 (PMOS) se mantiene en zona óhmica. La tensión de salida V_o es V_{DD} (suponemos que no hay carga en la puerta, es decir, $I_O = 0$), en el punto A de las características de salida (ver Fig. 9.8).

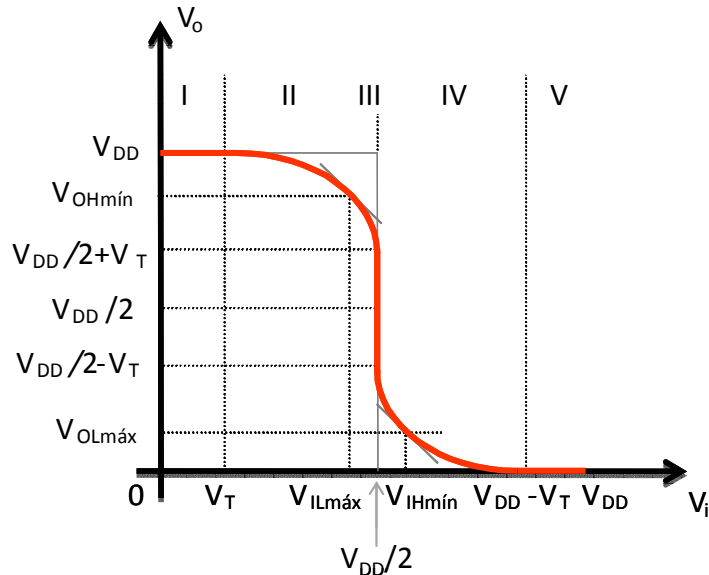


Fig. 9.5. Característica de transferencia del inversor CMOS.

- La **región II** comienza para valores $V_i \geq V_T$, donde Q_1 empieza a conducir en saturación, estado que mantiene mientras $V_{DS1} \geq V_{GS1} - V_T = V_i - V_T$. Por tanto, la corriente $I_D = k(V_i - V_T)^2$. El transistor Q_2 se mantiene en zona óhmica mientras $V_{SD2} \leq V_{SG2} - V_T = V_{DD} - V_i - V_T$, y la resistencia del canal $r_{SD2} = 1/k(V_{SG2} - V_T) = 1/k(V_{DD} - V_i - V_T)$. Entonces, la tensión de salida V_o se obtiene como:

$$V_o = V_{DD} - V_{SD2} = V_{DD} - I_D r_{SD2} = V_{DD} - \frac{(V_i - V_T)^2}{(V_{DD} - V_i - V_T)}$$

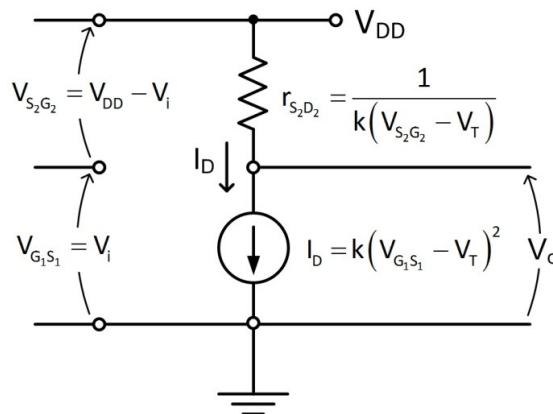


Fig. 9.6. Modelo circuital del inversor CMOS en la región II.

Esta situación se mantiene hasta que Q_2 entra también en saturación, es decir, cuando $V_{SD2} = V_{SG2} - V_T = V_{DD} - V_i - V_T$, y entonces:

$$\frac{(V_i - V_T)^2}{(V_{DD} - V_i - V_T)} = (V_{DD} - V_i - V_T) \Rightarrow V_i = \frac{V_{DD}}{2}$$

La región II corresponde entonces a $V_T \leq V_i < V_{DD}/2$, con Q_1 en zona de saturación y Q_2 en zona óhmica. La tensión de salida V_o varía desde V_{DD} ($V_i = V_T$) en el punto A hasta V_o ($V_i = V_{DD}/2$) en el punto A' de las características de salida (ver Fig. 9.8):

$$V_o \left(V_i = \frac{V_{DD}}{2} \right) = \frac{V_{DD}}{2} + V_T.$$

- La **región III** corresponde a $V_i = V_{DD}/2$, con Q_1 y Q_2 en zona de saturación, entre los puntos A' y B' de las características de salida (Fig. 9.8). La corriente es máxima y vale:

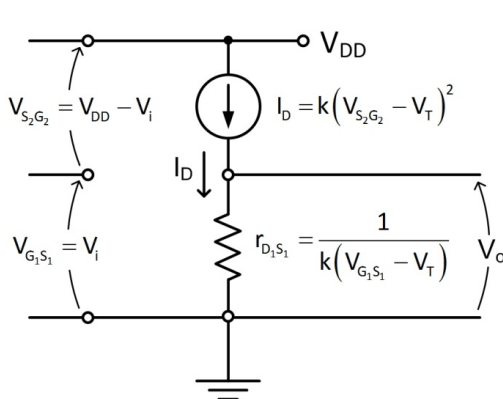
$$I_D = k \left(\frac{V_{DD}}{2} - V_T \right)^2.$$

La tensión de salida V_o se sitúa en cualquier punto del tramo vertical de la característica (ganancia infinita): $V_{DD}/2 - V_T \leq V_o \leq V_{DD}/2 + V_T$. Se observa la excelente característica de conmutación de CMOS, que se aproxima a la ideal. En la práctica, la característica real se desvía ligeramente de la vertical, y la tensión de salida V_o , para $V_i = V_{DD}/2$, se aproxima a $V_{DD}/2$: $V_o(V_i = V_{DD}/2) = V_{DD}/2$.

- La **región IV** corresponde a $V_{DD}/2 < V_i \leq V_{DD} - V_T$ (por la simetría del circuito), con Q_1 en zona óhmica y Q_2 en zona de saturación. Entonces la corriente I_D vale:

$$I_D = k(V_{SG2} - V_T)^2 = k(V_{DD} - V_i - V_T)^2,$$

y la tensión de salida:



$$V_o = V_{DS1} = I_D r_{DS1} = \frac{(V_{DD} - V_i - V_T)^2}{V_i - V_T},$$

que varía desde el punto B':

$$V_o \left(V_i = \frac{V_{DD}}{2} \right) = \frac{V_{DD}}{2} - V_T$$

hasta $V_o = 0$, para $V_i = V_{DD} - V_T$, en el punto B de las características de salida (ver Fig. 9.8).

Fig. 9.7. Modelo circuital del inversor CMOS en la región IV.



- La **región V** corresponde con $V_i \geq V_{DD} - V_T$, con Q_1 en zona óhmica y Q_2 al corte ($V_{SG2} \leq V_T$), en el punto B de las características de salida (Fig. 9.8). La intensidad de corriente es cero ($I_D = 0$) y la salida queda puesta a cero voltios a través de la resistencia de canal de Q_1 .

Por la simetría de la puerta se cumple que $V_{IHmin} = V_{DD} - V_{ILmax}$, y $V_{OLmax} = V_{DD} - V_{OHmin}$. En la práctica se suelen tomar, como buena aproximación, los siguientes valores: $V_{ILmax} = 30\%V_{DD}$; $V_{IHmin} = 70\%V_{DD}$; $V_{OLmax} = 10\%V_{DD}$; $V_{OHmin} = 90\%V_{DD}$.

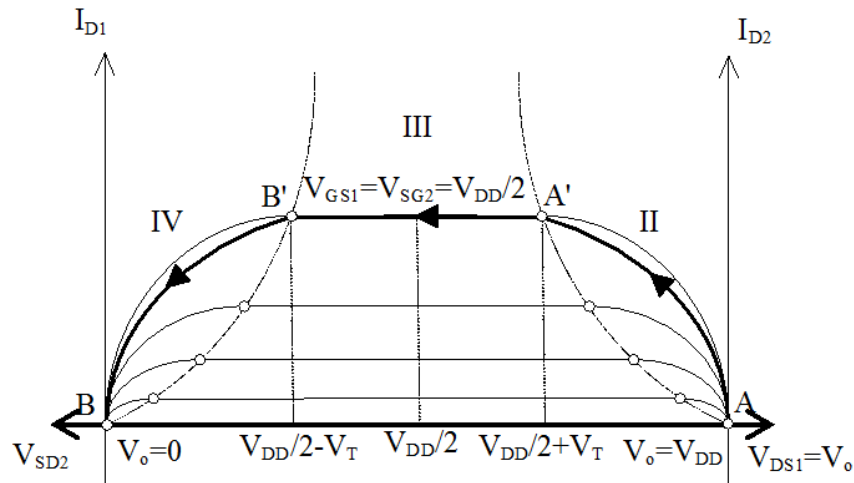


Fig. 9.8. Características de salida del inversor CMOS.

9.1.3 Corrientes de entrada y salida.

Debido a la elevada impedancia de entrada de los transistores *MOSFET*, las corrientes a la entrada de una puerta *CMOS* son muy pequeñas, siendo despreciables en la mayor parte de los casos. Pero esto que representa una ventaja para los circuitos excitadores, representa un problema por su elevada sensibilidad a las tensiones electrostáticas. Es por ello necesario introducir en las entradas externas de los *CMOS* elementos de protección, normalmente consistentes en una resistencia en serie R_s (de 250Ω a $1,5 \text{ k}\Omega$) y dos diodos de fijación, que limitan cualquier tensión de entrada al rango de 0 a V_{DD} (Ver figura 9.9). Estos diodos, que aunque para los niveles de operación quedan polarizados en inversa, reducen la resistencia de entrada, siendo valores habituales para la familia 4000B corrientes de entrada del tipo: $I_{ILmax} = -0,1 \mu A$ y $I_{IHmax} = 0,1 \mu A$.

Las corrientes de salida están limitadas por la caída de tensión que producen en el canal en conducción. Los valores proporcionados por los fabricantes para la familia 4000B a $V_{DD} = +5 \text{ V}$ son $I_{OLmax} = 0,5 \text{ mA}$ ($V_{OLmax} = 0,5 \text{ V}$) y $I_{OHmax} = -0,5 \text{ mA}$ ($V_{OHmin} = 4,5 \text{ V}$).

Observamos que el fan-out en estática de esta familia es muy grande, típicamente se suele dar 50, dado que las entradas apenas consumen corriente. El número máximo de entradas que pueden ser conectadas a una salida *CMOS* está



limitado por el tiempo de retardo y la potencia disipada que limitan la máxima capacidad de carga permitida.

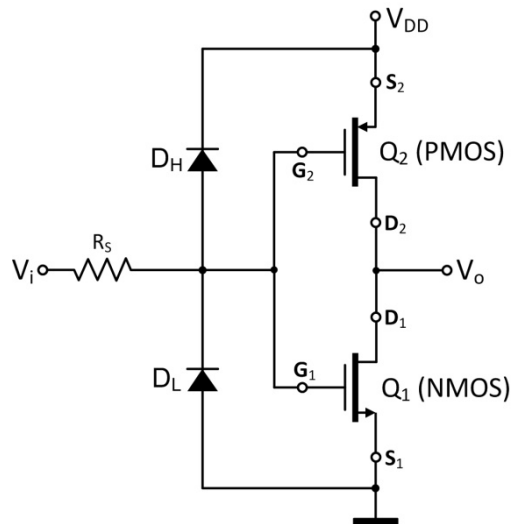


Fig. 9.9. Inversor CMOS con elementos de protección en su entrada.

9.1.4 Disipación de potencia (Consumo).

En cualquiera de los dos estados de la puerta inversora, uno de los transistores está al corte, con lo que el consumo en estática y la potencia son cero. Hay una pequeña corriente de pérdidas que produce una disipación de potencia en estática (reposo) de $P_{Dmáx} = 10nW$.

Normalmente en la familia CMOS la potencia disipada se mide en dinámica, donde hay consumo debido a la carga y descarga de la capacidad de carga C_L y a los picos de corriente en las transiciones entre niveles o conmutaciones, cuando hay conducción simultánea de los dos transistores. Dado que esta segunda componente de la corriente suele ser pequeña en comparación con la corriente de carga y de descarga de la capacidad, la potencia disipada se suele aproximar por $P_d = fC_L V_{DD}^2$.

Por ejemplo, para $V_{DD} = 5V$, $f = 1MHz$ y $C_L = 20pF$, se obtiene $P_d = 0,5mW$. Es decir, a frecuencias elevadas disipa potencias similares a TTL.

9.1.5 Velocidad de conmutación.

9.1.5.1 Retardo de propagación del inversor CMOS.

Para estudiar el retardo de propagación del inversor CMOS representamos las capacidades internas y de carga por un solo condensador equivalente C_L . Suponemos que a la entrada se aplica una señal que conmuta de 0 a V_{DD} en un tiempo cero y que, en $t = 0$, $V_o = V_{DD}$ y C_L cargado a la misma tensión, es decir, inicialmente el inversor CMOS se encuentra en el punto A de la Fig. 9.11.

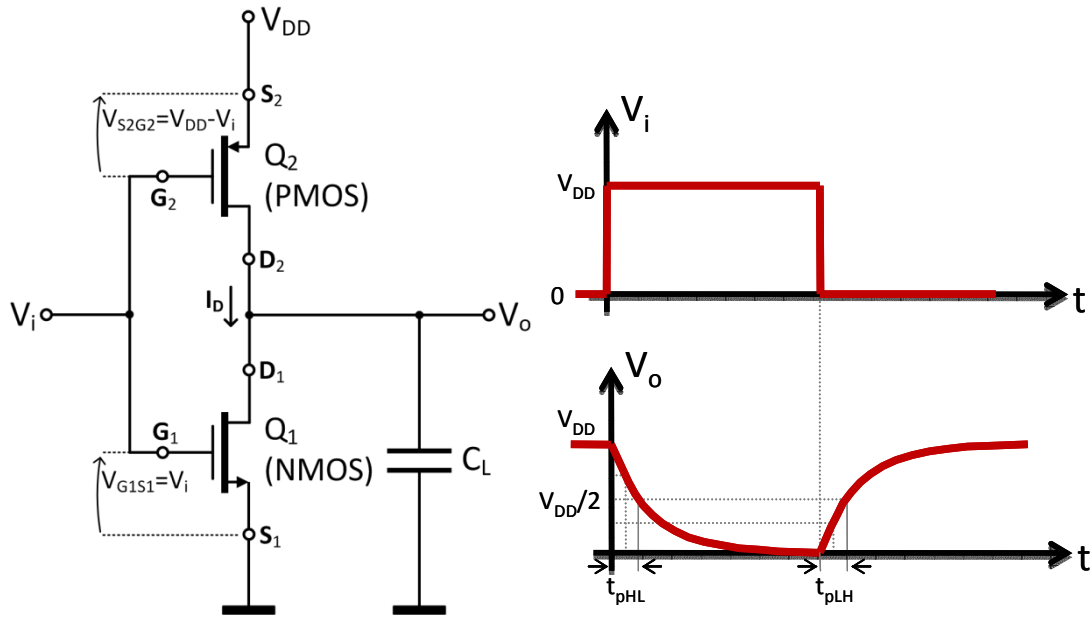


Fig. 9.10. Retardo de propagación del inversor CMOS.

En $t = 0^+$, dado que $V_{GS1} = V_{DD}$, Q_1 se pone en conducción en zona de saturación, en el punto A' de la Fig. 9.11, pues $V_{DS1} = V_{DD} > V_{GS1} - V_T = V_{DD} - V_T$, y Q_2 se pone en corte, pues $V_{SG2} = 0$. Por tanto, C_L se descarga a corriente constante I_D de Q_1 . La tensión de salida será:

$$V_o = V_{DD} - \frac{Q}{C_L} = V_{DD} - \frac{I_D t}{C_L} = V_{DD} - \frac{k(V_{DD} - V_T)^2}{C_L} t,$$

siendo Q la carga perdida por C_L en un tiempo t.

Cuando $V_o = V_{DS1} = V_{GS1} - V_T = V_{DD} - V_T$, en el punto B' de la Fig. 9.11, Q_1 pasa a zona óhmica. El tiempo necesario t_1 para ello se obtiene como:

$$\frac{k(V_{DD} - V_T)^2}{C_L} t_1 = V_T \Rightarrow t_1 = \frac{V_T}{k(V_{DD} - V_T)^2} C_L.$$

A partir del instante $t = t_1$, la descarga de C_L se realiza a través de la r_{DS1} , comportándose como un circuito RC. Se tiene en este caso:

$$V_o = V_o(t = t_1) e^{-(t-t_1)/\tau} = (V_{DD} - V_T) e^{-(t-t_1)/\tau},$$

con

$$\tau = r_{DS1} C_L = \frac{C_L}{k(V_{DD} - V_T)}.$$

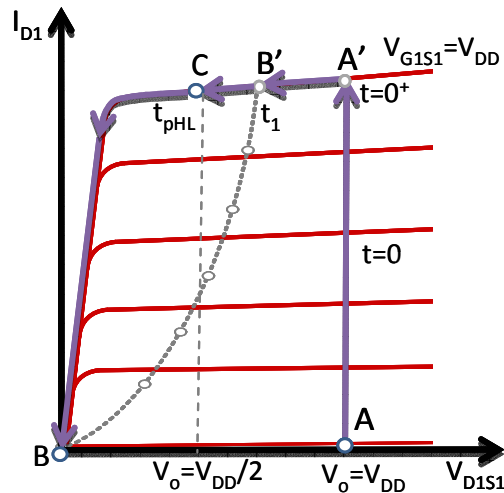


Fig. 9.11. Impacto del retardo de propagación.

Nos interesa conocer el tiempo t_2 (contado desde $t = t_1$) necesario para el paso de V_o por $V_{DD}/2$, en el punto C de la Fig. 9.11:

$$V_o = \frac{V_{DD}}{2} = (V_{DD} - V_T)e^{-t_2/\tau}.$$

De aquí:

$$t_2 = -\frac{C_L}{k(V_{DD} - V_T)} \ln \frac{V_{DD}}{2(V_{DD} - V_T)},$$

y el tiempo de propagación de nivel H a nivel L es:

$$t_{pHL} = t_1 + t_2 = \frac{C_L}{k(V_{DD} - V_T)} \left(\frac{V_T}{(V_{DD} - V_T)} - \ln \frac{V_{DD}}{2(V_{DD} - V_T)} \right).$$

Por la simetría que tiene la puerta, se tiene:

$$t_{pHL} = t_{pLH} = t_p.$$

Se observa que para conseguir una conmutación rápida de un inversor CMOS, la capacidad de carga C_L debe ser pequeña, la constante de transconductancia k debe ser elevada en ambos transistores, las tensiones umbrales V_T han de ser pequeñas, y la tensión de alimentación V_{DD} debe ser alta.

Por ejemplo, para $V_{DD} = 5 \text{ V}$, $V_T = 1 \text{ V}$, $k = 0,1 \text{ mA/V}^2$ y $C_L = 20 \text{ pF}$, se obtiene un retardo de propagación $t_p = 36 \text{ ns}$.

Para la lógica CMOS básica de la serie 4000B, los valores típicos son de $t_p = 50 \text{ ns}$ y $f_{\text{máx}} = 12 \text{ MHz}$. Esto reduce sus aplicaciones a aquellas donde las frecuencias de trabajo son bajas.

9.2 OTRAS PUERTAS CMOS.

9.2.1 NAND CMOS.

La puerta lógica *NAND* de dos entradas se construye con dos transistores *NMOS* en serie y dos transistores *PMOS* en paralelo. Los sustratos de los *PMOS* se conectan a V_{DD} y los sustratos de los *NMOS* a masa.

B	A	Q1	Q2	Q3	Q4	F
L	L	OFF	OFF	ON	ON	H
L	H	ON	OFF	OFF	ON	H
H	L	OFF	ON	ON	OFF	H
H	H	ON	ON	OFF	OFF	L

- $F=L$ si A y $B=H$, entonces:
 $\overline{F} = A \cdot B$.
- $F=H$ si A o $B=L$, entonces:
 $F = \overline{A + B} = \overline{A} \cdot \overline{B}$.

Se obtiene: $F = \overline{A \cdot B}$.

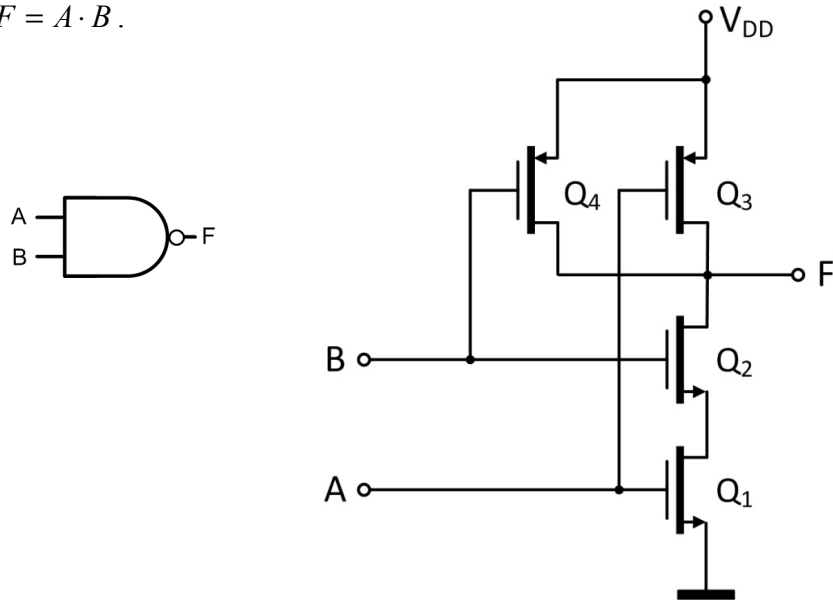


Fig. 9.12. Puerta NAND CMOS.

9.2.2 NOR CMOS.

La puerta lógica *NOR* de dos entradas se construye con dos transistores *NMOS* en paralelo y dos transistores *PMOS* en serie. Los sustratos de los *PMOS* se conectan a V_{DD} y los sustratos de los *NMOS* a masa.

B	A	Q1	Q2	Q3	Q4	F
L	L	OFF	OFF	ON	ON	H
L	H	ON	OFF	OFF	ON	L
H	L	OFF	ON	ON	OFF	L
H	H	ON	ON	OFF	OFF	L

- $F=L$ si A o $B=H$, entonces:
 $\overline{F} = A + B$.
- $F=H$ si \overline{A} y $\overline{B}=L$, entonces:
 $F = \overline{A} \cdot \overline{B} = \overline{A + B}$.

Se obtiene: $F = \overline{A + B}$.



Dado que en la puerta NAND los transistores en serie son los NMOS y en la puerta NOR los transistores serie son PMOS, en general, para obtener características simétricas ($V_i = V_{DD}/2 \Rightarrow V_o = V_{DD}/2$, $t_{pLH} = t_{pHL}$), las puertas NAND requieren un área de chip menor que las puertas NOR. Por esta razón la mayor parte de la lógica CMOS se basa en puertas NAND (e inversores) en lugar de puertas NOR.

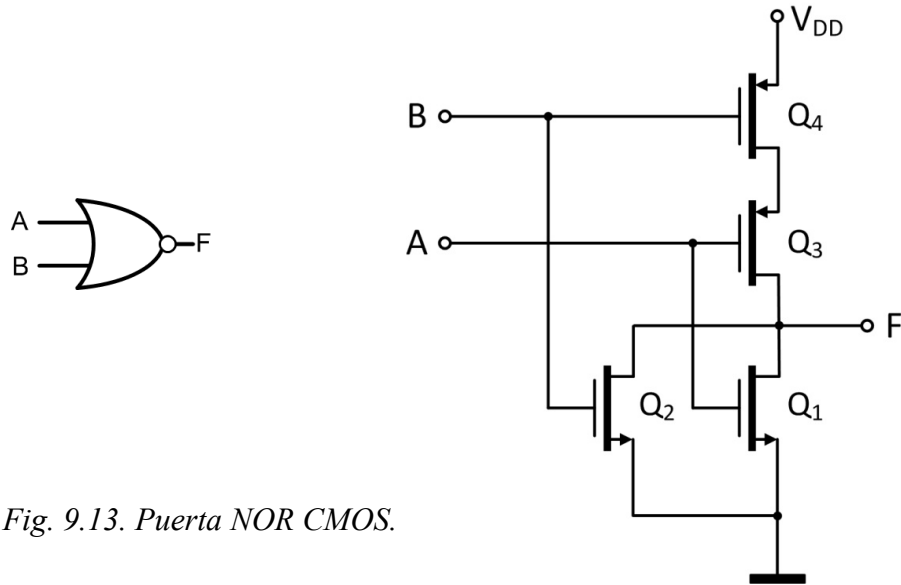


Fig. 9.13. Puerta NOR CMOS.

9.3 FAMILIAS CMOS.

La velocidad de conmutación en las familias CMOS está limitada por las capacidades asociadas a los transistores MOSFET, es decir, la capacidad puerta-fuente, la capacidad puerta-drenador y la capacidad drenador-fuente. Por ello, las mejoras en las tecnologías CMOS son consecuencia de mejoras en los procesos de fabricación que permiten reducir el tamaño de los transistores, con la consiguiente reducción de sus capacidades asociadas y aumento de velocidad.

9.3.1 Familia HCMOS (CMOS de alta velocidad).

La familia HCMOS reduce la longitud de canal a $3 \mu m$, con tensiones de alimentación de 2 a 6 V, obteniendo tiempos de propagación análogos a LSTTL: $t_p = 8 ns$ ($C_L = 50pF$) y $f_{m\acute{a}x} = 40 MHz$.

9.3.2 Familia ACMOS (CMOS de alta velocidad avanzada).

La familia ACMOS mejora la velocidad de HCMOS al reducir la longitud de canal a $1 \mu m$. Las tensiones de alimentación van desde 3 a 5,5V, con tiempos de propagación $t_p = 3 ns$ ($C_L = 50pF$) y $f_{m\acute{a}x} = 125 MHz$. Tiene salidas reforzadas (*buffered*) para poder suministrar corrientes de $\pm 24 mA$.

9.3.3 Familia LVCMOS (CMOS de baja tensión).

La familia LVC MOS de baja tensión está diseñada para trabajar con tensión de alimentación de 3,3 V, con capacidad de carga y retardos de propagación similares a AC MOS a 5 V, o sea, $t_p = 3 \text{ ns}$ y $f_{\text{máx}} = 125 \text{ MHz}$, pero disipando menos de la mitad de potencia.

9.3.4 Familia AVCMOS (CMOS avanzada de muy baja tensión).

La familia AVCMOS mejora la velocidad de LVC MOS al reducir la longitud de canal a $0,35 \mu\text{m}$, con $t_p = 1,5 \text{ ns}$ y $f_{\text{máx}} = 200 \text{ MHz}$. Ha sido diseñada para trabajar con tensión estándar de alimentación de 2,5 V, pero permite también ser alimentada con los valores estándar de 3,3 y 1,8 V, lo que le proporciona la posibilidad de ser usada como interfaz entre circuitos alimentados a diferentes tensiones.

9.4 CABLEADO LÓGICO EN CMOS.

El cableado lógico es la posibilidad de unir dos o más salidas de varias puertas lógicas para realizar nuevas funciones.

En general, no se pueden unir las salidas de puertas CMOS estándar tipo tótem. En la Fig. 9.14 se han unido las salidas de dos puertas inversoras idénticas. Se observa que en caso de tener diferentes niveles lógicos de entrada, se obtiene en la salida, debido a la conducción simultánea de un NMOS y un PMOS, un valor $V_o = V_{DD}/2$, que representa un valor prohibido en la salida. Es por ello que los fabricantes han incorporado a algunos miembros de cada familia salidas especiales que permiten el cableado lógico: salidas a drenador abierto y salidas triestado.

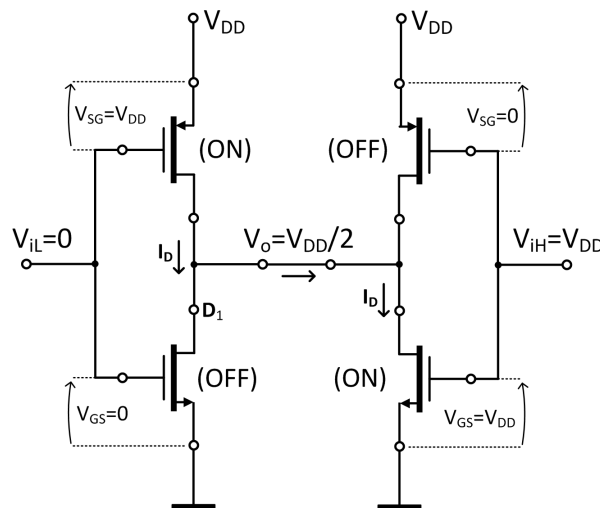


Fig. 9.14. Ejemplo de cableado lógico en CMOS. Conexión problemática.

9.4.1 CMOS de drenador abierto (*open drain*).

En una puerta con salida a drenador abierto el par de transistores estándar de la salida complementaria tótem se sustituye por un único transistor cuyo drenador está conectado únicamente a la patilla de salida de la puerta. Es preciso conectarlo a $+V_{DD}$ a través de una carga externa, generalmente una resistencia de elevación R_P (*pull-up*).

A veces a estas puertas se les llama de colector abierto (*open collector*) por similitud con las salidas con transistores bipolares de este tipo.

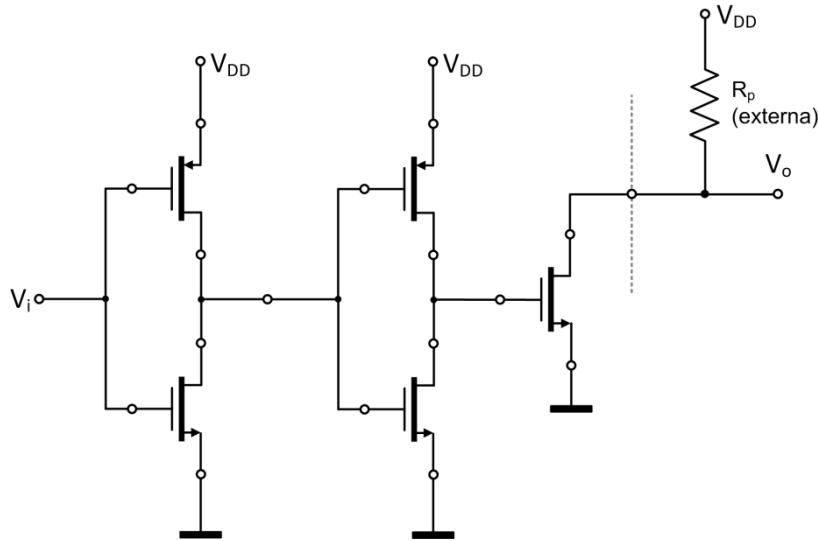


Fig. 9.15. Inversor CMOS con salida en drenador abierto.

En la Fig. 9.15 se muestra una puerta inversora con salida en drenador abierto. También se representa la resistencia de elevación (*pull-up*) R_p que permite obtener el nivel alto (V_{OH}) en la salida, puesto que el transistor no lo puede proporcionar.

En la Fig. 9.16 se interconectan las salidas de dos puertas F_1 y F_2 .

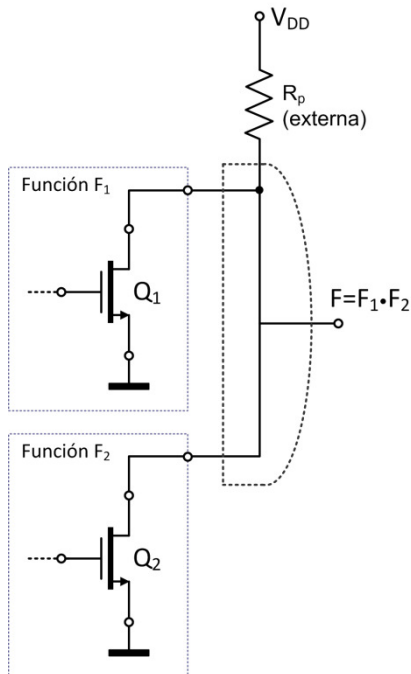


Fig. 9.16. Interconexión de las salidas de dos puertas F_1 y F_2 .

A continuación se muestra la tabla de funcionamiento de la conexión. Hay que tener en cuenta que F_1 y F_2 son los niveles de salida que proporciona cada puerta por separado.

F_1	F_2	Q_1	Q_2	F
L	L	ON	ON	L
L	H	ON	OFF	L
H	L	OFF	ON	L
H	H	OFF	OFF	H

La conexión proporciona una puerta *AND* cableada (*wired-AND*), $F = F_1 \cdot F_2$, puesto que la salida es alta (H) cuando las dos salidas están a nivel alto, con lo que los dos transistores Q_1 y Q_2 están al corte, y el nivel alto se obtiene a través de la resistencia R_p .



Esta conexión es más conocida como OR cableada (*wired-OR*) porque la salida es baja (L) si es baja alguna de las salidas, lo que corresponde a una puerta OR en lógica negativa. Se usa en buses de comunicaciones, por ejemplo I2C, que es un bus serie para intercambio de información entre un procesador y periféricos, y en interfaces de computador, para interconectar las salidas de petición de interrupción de varios periféricos a una entrada de interrupción del procesador (ver Fig. 9.17).

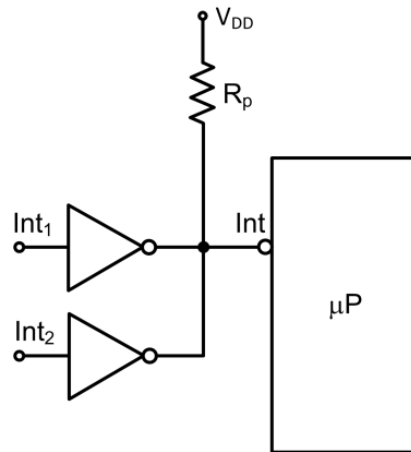


Fig. 9.17. Ejemplo de conexión OR cableada.

Un inconveniente que tienen las salidas en drenador abierto es que la conmutación del estado bajo al alto es más lento que en las salidas complementarias tótem. Cuando una salida a drenador abierto corta el transistor de salida, la tensión sube a $+V_{DD}$ cargando la capacidad de salida a través de la resistencia de elevación R_p , lo cual implica un retardo importante.

Otro inconveniente que tienen las salidas a drenador abierto es que aumentan la disipación con respecto a las salidas estándar. Cuando una salida está a nivel bajo, el transistor de salida ha de drenar toda la corriente que circula por la resistencia de elevación, lo cual implica un aumento de la potencia disipada.

Entonces el valor de R_p es un compromiso entre retardo (interesa R_p lo más pequeño posible), y disipación (interesa R_p lo más grande posible).

9.4.2 CMOS triestado (*tri-state*).

Las salidas triestado proporcionan otro modo de poder interconectar dos o más salidas de puertas lógicas. En este caso se sigue manteniendo el par de transistores de salida tótem, pero se añade una circuitería adicional que permite poner los dos transistores al corte simultáneamente, proporcionando un tercer estado en la salida conocido como de flotación o de alta impedancia (*high-z*), por desconexión de la salida de masa y positivo de alimentación.

Las puertas lógicas con salidas triestado incorporan una entrada adicional de selección (*enable* o *chip-select*) que pueden activar o desactivar el estado de alta impedancia de su salida.

A continuación se muestra una puerta inversora con salida triestado.

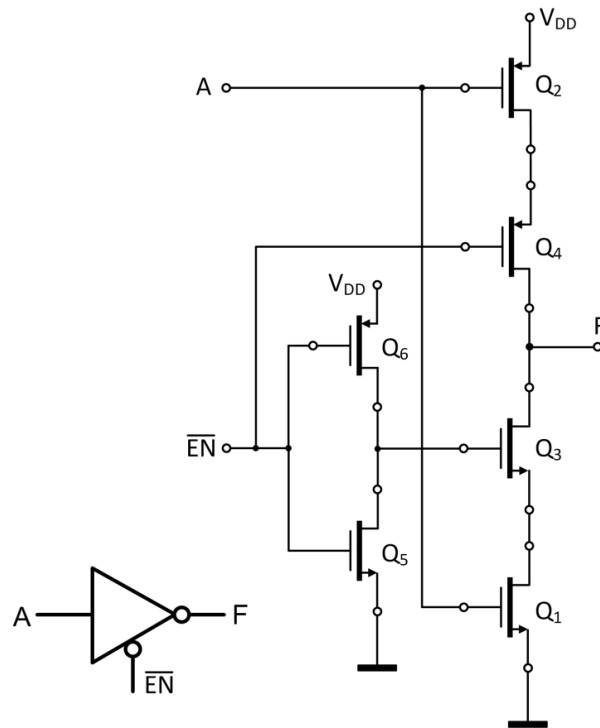


Fig. 9.16. Inversor CMOS con salida triestado.

La salida está constituida por el par complementario tótem estándar formado por Q_1 y Q_2 , al que se han añadido en serie los transistores Q_3 y Q_4 .

Cuando la entrada de selección está puesta a nivel bajo ($\overline{EN} = L$), Q_3 y Q_4 se ponen en conducción (ON) y la puerta opera como un inversor estándar: $F = \overline{A}$.

Sin embargo, cuando la entrada de selección está puesta a nivel alto ($\overline{EN} = H$), Q_3 y Q_4 se ponen en corte (OFF) desconectando los transistores Q_1 y Q_2 de la salida y quedando ésta en estado de alta impedancia.

El símbolo circuital para esta puerta inversora incorpora la entrada de selección (activa a nivel bajo en este ejemplo).

Las salidas triestado permiten que dos o más puertas tengan conectadas sus salidas a una única línea. Simplemente es necesario asegurar que en cada momento sólo una de ellas tenga su salida activa, de forma que el resto se encuentren en alta impedancia.

Las puertas triestado se utilizan para escribir en un bus de datos de un computador. Un bus de datos es un conjunto de hilos que transportan señales binarias. La Fig. 9.19 muestra un ejemplo de un bloque de cuatro puertas no inversoras triestado que escriben en un bus de datos de cuatro bits.

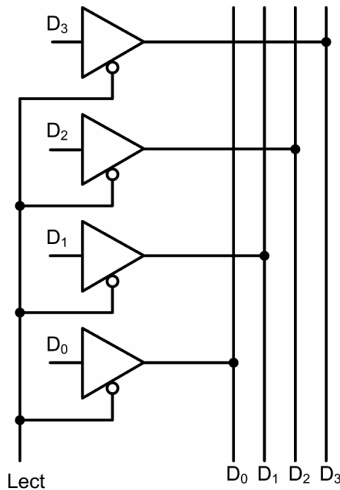


Fig. 9.19. Ejemplo de puertas triestado para escritura en un bus de datos de un computador.

Cada vez que el bloque de puertas recibe la señal de lectura (pulso de nivel bajo), las cuatro puertas escriben en el bus el estado de sus entradas D₀ a D₃.

En algunas conexiones de salidas triestado se añaden resistencias de elevación (*pull-up*) o de caída (*pull-down*) para fijar el estado de las líneas, alto o bajo respectivamente, cuando todas las puertas tienen sus salidas flotantes (en alta impedancia).

9.5 CARACTERÍSTICAS DE CMOS.

Se pueden resumir en los siguientes puntos:

- 1) Potencia disipada en reposo muy baja. El consumo se realiza en los transitorios de conmutación, siendo similar al de las familias bipolares a frecuencias elevadas.
- 2) Las puertas lógicas se implementan únicamente con transistores MOS, lo que permite alcanzar densidades elevadas de integración.
- 3) La característica de transferencia se aproxima a la ideal, lo que significa elevada inmunidad al ruido, sobre todo a tensiones de alimentación elevadas.
- 4) Los niveles de salida se obtienen por conexión de la salida a V_{DD} o V_{SS} a través de un camino de baja resistencia. Por lo tanto, las salidas no se degradan. Es una lógica regenerativa de niveles.
- 5) Amplio margen de tensiones de alimentación.
- 6) Impedancia de entrada muy elevada, y por tanto *fan-out* en estática muy elevado.
- 7) Sensibilidad elevada a las descargas electrostáticas (*ESD*) lo que implica precauciones en su manejo.
- 8) Las entradas no usadas de una puerta han de conectarse a V_{DD} o masa, no deben dejarse en ningún caso flotantes.
- 9) Tiempos de subida y de bajada similares. El retardo de propagación de una puerta aumenta si se incrementa su número de entradas (*fan-in*), debido al aumento de capacidad al crecer el número de transistores y al aumento de la resistencia equivalente de los transistores en serie.

- 10) La familia *CMOS* básica es de baja velocidad, aunque se han desarrollado familias *CMOS* de alta velocidad similares a las familias bipolares.
- 11) Estabilidad con la temperatura. La familia *CMOS* proporciona un margen amplio de temperaturas de funcionamiento, normalmente desde -40°C a $+85^{\circ}\text{C}$.

Resumen comparativo de las familias CMOS más importantes

FAMILIAS CMOS	4000B $V_{DD}=5\text{V}$	HC $V_{DD}=5\text{V}$	AC $V_{DD}=5\text{V}$	LVC $V_{DD}=3,3\text{V}$	AV $V_{DD}=2,5\text{V}$
$V_{ILMÁX}(\text{V})$	1,5	1,5	1,5	0,8	0,7
$V_{IHMÍN}(\text{V})$	3,5	3,5	3,5	2	1,7
$V_{OLMÁX}(\text{V})$	0,5	0,1	0,1	0,4	0,2
$V_{OHMÍN}(\text{V})$	4,5	4,9	4,9	2,4	2,3
$I_{ILMÁX}(\mu\text{A})$	-0,1	-1	-1	-5	-2,5
$I_{IHMÁX}(\mu\text{A})$	0,1	1	1	5	2,5
$I_{OLMÁX}(\text{mA})$	0,5	4	24	24	8
$I_{OHMÁX}(\text{mA})$	-0,5	-4	-24	-24	-8
Rango $V_{DD}(\text{V})$	3 a 15	2 a 6	3 a 5,5	$3,3\pm 10\%$	1,4 a 3,6
$P_d(\text{mW})/1\text{MHz}$	0,5	0,5	0,5	0,2	0,1
$t_p(\text{ns})/50\text{pF}$	50	10	3	3	1,5
$f_{MÁX}(\text{MHz})$	12	40	125	125	200