

# Tutorías con Grupos Reducidos (TGR)

## Sesión 3: Planificación Dinámica

### ESTRUCTURA DE COMPUTADORES

Grupo de Arquitectura de Computadores (GAC)

# Índice

- 1 Planificación dinámica
  - Algoritmo de Marcador
  - Algoritmo de Tomasulo

- 2 Ejercicios

# Índice

- 1 Planificación dinámica
  - Algoritmo de Marcador
  - Algoritmo de Tomasulo
- 2 Ejercicios

# Planificación dinámica

Técnicas de planificación dinámica más populares:

- **Marcador:** permite que las instrucciones se ejecuten fuera de orden si hay suficientes recursos y no hay riesgos RAW, WAR o WAW.
- **Tomasulo:** solo tiene que hacer frente a riesgos RAW porque evita los riesgos de nombre mediante el renombrado de registros.

## Fases del algoritmo Marcador

Estado de la instrucción	Espera hasta	Acción
Emisión	$\overline{ocupado[FU]}$ y $\overline{resultado[D]}$	$Ocupado[FU] \leftarrow Sí$ ; $Op[FU] \leftarrow op$ ; $F_i[FU] \leftarrow D$ ; $F_j[FU] \leftarrow S_1$ ; $F_k[FU] \leftarrow S_2$ ; $Q_j \leftarrow Resultado[S_1]$ ; $Q_k \leftarrow Resultado[S_2]$ ; $R_j \leftarrow not Q_j$ ; $R_k \leftarrow not Q_k$ ; $Resultado[D] \leftarrow FU$ ;
Lectura de operandos	$R_j$ and $R_k$	$R_j \leftarrow No$ ; $R_k \leftarrow No$ ; $Q_j \leftarrow 0$ ; $Q_k \leftarrow 0$
Ejecución	Finaliza unidad funcional	
Escritura de resultados	$\forall f((F_j[f] \neq F_i[FU]$ or $R_j[f] = No) \&$ $(F_k[f] \neq F_i[FU]$ or $R_k[f] = No))$	$\forall (if Q_k[f] = FU then R_k[f] \leftarrow Sí$ ; $\forall f(if Q_j[f] = FU then$ $R_j[f] \leftarrow Sí$ ); $Resultado[F_i[FU]] \leftarrow 0$ ; $Ocupado[FU] \leftarrow No)$

# Fases del algoritmo Marcador

- **Emisión (*issue*):**
  - ▶ Una instrucción puede emitirse siempre y cuando exista una **unidad funcional adecuada libre** y no haya otra instrucción en curso que **escriba en el mismo registro**.
  - ▶ Garantiza la correcta gestión de los riesgos WAW.
- **Lectura de operandos:**
  - ▶ Una instrucción puede completar la fase de lectura de operandos si ninguna otra instrucción en curso va a **escribir alguno de ellos**.
  - ▶ Los valores ( $R_j, R_k$ ) que indican la disponibilidad de los registros fuente son **reseteados** al completar la lectura.
- **Ejecución:**
  - ▶ Sustituye al paso *EX* en el procesador segmentado MIPS.
- **Escritura del resultado:**
  - ▶ Una instrucción no podrá escribir el resultado en el registro correspondiente hasta que las **instrucciones previas hayan leído su valor en caso necesario**.

## Fases del algoritmo Tomasulo

Estado de la instrucción	Espera hasta	Acción
EMISIÓN		
Operación FP	Estación $r$ vacía	$\text{if}(\text{RegisterStat}[S_1].Q_i \neq 0)$ $\{ RS[r].Q_j \leftarrow \text{RegisterStat}[S_1].Q_i$ $\text{else}\{ RS[r].V_j \leftarrow \text{Regs}[S_1]; RS[r].Q_j \leftarrow 0\};$ $\text{if}(\text{RegisterStat}[S_2].Q_i \neq 0)$ $\{ RS[r].Q_k \leftarrow \text{RegisterStat}[S_2].Q_i$ $\text{else}\{ RS[r].V_k \leftarrow \text{Regs}[S_2]; RS[r].Q_k \leftarrow 0\};$ $RS[r].Ocupado \leftarrow \text{Sí};$ $\text{RegisterStat}[D].Q_i = r;$
Carga o almacenamiento	Buffer $r$ vacío	$\text{if}(\text{RegisterStat}[S_1].Q_i \neq 0)$ $\{ RS[r].Q_j \leftarrow \text{RegisterStat}[S_1].Q_i$ $\text{else}\{ RS[r].V_j \leftarrow \text{Regs}[S_1]; RS[r].Q_j \leftarrow 0\};$ $RS[r].A \leftarrow \text{imm}; RS[r].Ocupado \leftarrow \text{Sí};$
Solo carga		$\text{RegisterStat}[S_2].Q_i = r;$
Solo almacenamiento		$\text{if}(\text{RegisterStat}[S_2].Q_i \neq 0)$ $\{ RS[r].Q_k \leftarrow \text{RegisterStat}[S_1].Q_i$ $\text{else}\{ RS[r].V_k \leftarrow \text{Regs}[S_2]; RS[r].Q_k \leftarrow 0\};$

# Fases del algoritmo Tomasulo

Estado de la instrucción	Espera hasta	Acción
EJECUCIÓN		
Operación FP	$S_1[r].Q_j=0$ & $S_1[r].Q_k=0$	Calcular el resultado: los operandos están en $V_j$ y $V_k$
Paso 1 carga o almacenamiento	$S_1[r].Q_j=0$ & $r$ está en la cabeza de la cola de carga / almacenamiento	$S_1[r].A \leftarrow S_1[r].V_j + S_1[r].V_k$ ;
Paso 2 de carga	Paso 1 completo	Leer desde $Mem[S_1[r]].A$ ;



# Fases del algoritmo Tomasulo

Estado de la instrucción	Espera hasta	Acción
ESCRITURA DEL RESULTADO		
Operación FP o carga	Ejecución completa en r & CDB disponible	$\forall x(\text{if}(\text{RegisterStat}[x].Q_i=r) \{ \text{Regs}[x] \leftarrow \text{resultado}; \text{RegisterStat}[x].Q_i \leftarrow 0 \})$ $\forall x(\text{if}(S_1[x].Q_j=r) S_1[x].V_j \leftarrow \text{resultado}; S_1[x].Q_j \leftarrow 0);$ $\forall x(\text{if}(S_1[x].Q_k=r) \{ S_1[x].V_k \leftarrow \text{resultado}; S_1[x].Q_k \leftarrow 0 \}); S_1[r].Ocupado \leftarrow \text{No};$
Almacenamiento	Ejecución completa en r & $S_1[r].Q_k = 0;$	$\text{Mem}[S_1[r].A] \leftarrow S_1[r].V_k;$ $S_1[r].Ocupado \leftarrow \text{No};$

# Fases del algoritmo de Tomasulo

- **Emisión:** Si la estación de reserva que se necesita está vacía, se emite la instrucción a la estación con los valores de los operandos que hay actualmente en el registro. Si los operandos no están en los registros, se mantiene el rastro de la unidad funcional que los escribirá.
  - ▶ Renombra registros, eliminando riesgos WAR y WAW.
- **Ejecución:** Si todavía no está disponible alguno de los operandos, se observa el *CDB* a la espera de ese valor. Cuando todos los operandos están disponibles, la operación se puede ejecutar en la unidad funcional correspondiente.
  - ▶ Detecta riesgos RAW.
- **Escritura del resultado:** Cuando el resultado esté disponible, se escribe en el *CDB*. Las instrucciones de almacenamiento también escriben el dato en memoria durante este paso.

# Índice

1 Planificación dinámica

2 Ejercicios

# Ejercicio 1

## Enunciado:

*Supongamos un procesador que implementa planificación dinámica con marcador, con 3 unidades de suma, 2 de multiplicación y 1 de división en punto flotante, cuyas latencias son, respectivamente, 3, 6 y 12 ciclos.*

- a) Dibuja las tablas restantes del algoritmo en el instante que representa la siguiente tabla con el estado de las instrucciones.
- b) Indica los riesgos que se han producido hasta este momento en la ejecución y de qué tipo es cada uno.

Instrucciones	Emisión	Lectura	Ejecución	Escritura
sub.s f2,f10,f12	X	X	X	X
mul.s f0,f2,f4	X	X		
add.s f14,f6,f0	X			
div.s f2,f4,f12				
sub.s f6,f8,f6				

# Ejercicio 1

## Solución a):

UF	Busy	Op.	$F_i$	$F_j$	$F_k$	$Q_j$	$Q_k$	$R_j$	$R_k$
ADD1	No								
ADD2	Sí	add	f14	f6	f0		Mul1	Sí	No
ADD3	No								
MUL1	Sí	mul	f0	f2	f4			No	No
MUL2	No								
DIV1	No								

Registro	F0	F2	F4	F6	F8	F10	F12	F14
UF	MUL1							ADD2

## Solución b):

Se ha producido un riesgo entre la  $i1$ (sub.s f2,f10,f12) y la  $i2$  (mul.s f0,f2,f4), y otro entre la  $i2$  (mul.s f0,f2,f4) y la  $i3$  (add.s f14,f6,f0). Ambos son riesgos RAW. El segundo todavía mantiene parada a la instrucción de suma en la etapa de lectura de operandos.

## Ejercicio 2

### Enunciado:

Supongamos un procesador con 2 unidades de multiplicación de PF, 3 unidades de suma de PF y 1 unidad de división. En la siguiente tabla del marcador se muestra el estado de las instrucciones antes de que la primera resta escriba su resultado.

Tabla del estado de las instrucciones

Instrucciones	Emisión	Lec. Op.	Ejecución	Escritura
sub.s \$f2,\$f10,\$f12	x	x	x	
mul.s \$f0,\$f2,\$f4	x			
sub.s \$f8,\$f6,\$f2	x			
add.s \$f6,\$f22,\$f6	x	x	x	
div.s \$f10,\$f0,\$f6	x			
sub.s \$f16,\$f8,\$f2				

## Ejercicio 2

### Enunciado:

- a) Escribe la tabla de estado de las unidades funcionales y la tabla de estado de registros resultado.
- b) ¿Por qué la instrucción `sub.s $f16, $f8, $f2` no ha sido emitida?
- c) ¿Por qué la instrucción `add.s $f6, $f22, $f2` no ha escrito su resultado?

## Ejercicio 2

### Solución a):

Tabla del estado de las unidades funcionales									
<i>Unidad Funcional</i>	<i>Oc.</i>	<i>Op.</i>	<i>Fi</i>	<i>Fj</i>	<i>Fk</i>	<i>Qj</i>	<i>Qk</i>	<i>Rj</i>	<i>Rk</i>
ADD1	Sí	sub	f2	f10	f12			No	No
ADD2	Sí	sub	f8	f6	f2		ADD1	Sí	No
ADD3	Sí	add	f6	f22	f6			No	No
MUL1	Sí	mul	f0	f2	f4	ADD1		No	Sí
MUL2	No								
DIV1	Sí	div	f10	f0	f6	MUL1	ADD3	No	No

Tabla del estado de los registros resultado								
<i>Registro</i>	<i>F0</i>	<i>F2</i>	<i>F4</i>	<i>F6</i>	<i>F8</i>	<i>F10</i>	<i>F12</i>	<i>F14</i>
<i>Unidad Funcional</i>	MUL1	ADD1		ADD3	ADD2	DIV1		



## Ejercicio 2

### Solución b):

La instrucción sub.s \$f16, \$f8, \$f2 no ha sido emitida por un riesgo estructural (no hay disponible ninguna unidad funcional de suma en PF).

### Solución C):

La instrucción add.s \$f6, \$f22, \$f2 no ha escrito su resultado por un riesgo WAR con su instrucción anterior. No puede escribir el registro \$f6 hasta que la resta haya leído sus operandos.

## Ejercicio 3

### Enunciado:

*Se tienen dos procesadores, uno utiliza la técnica de Tomasulo y el otro la de **marcador** con dos unidades de multiplicación en punto flotante de latencia 5, dos unidades de suma en punto flotante de latencia 2 y una unidad de división en punto flotante de latencia 7. Se está ejecutando el siguiente código en ambos procesadores:*

```
lwc1 $f0, 4($t0)
add.s $f2, $f0, $f4
mul.s $f2, $f2, $f8
swc1 $f2, 4($t0)
```

## Ejercicio 3

### Enunciado:

- a) Muestra la evolución del código en cada uno de los procesadores
- b) Muestra las tablas de **marcador** en los ciclos de reloj 3 y 5
- c) Muestra las tablas de Tomasulo en los ciclos de reloj 3 y 5, sabiendo que  $\$t0$  tiene el valor  $0x10010000$ , el registro de punto flotante  $i$  tiene el valor  $i,0$ , y en la posición de memoria  $A$  está el dato  $A$

# Ejercicio 3

## Marcador

Instrucciones	Emisión	Lec. Op.	Ejecución	Escritura
lwc1 \$f0, 4(\$t0)				
add.s \$f2, \$f0, \$f4				
mul.s \$f2, \$f2, \$f8				
swc1 \$f2, 4(\$t0)				

UF	Busy	Op.	$F_i$	$F_j$	$F_k$	$Q_j$	$Q_k$	$R_j$	$R_k$
INT	No								
ADD1	No								
ADD2	No								
MUL1	No								
MUL2	No								
DIV1	No								

Registro	F0	F2	F4	F6	F8	F10	F12	F14
UF								

# Ejercicio 3

## Marcador

Instrucciones	Emisión	Lec. Op.	Ejecución	Escritura
lwc1 \$f0, 4(\$t0)	1			
add.s \$f2, \$f0, \$f4				
mul.s \$f2, \$f2, \$f8				
swc1 \$f2, 4(\$t0)				

UF	Busy	Op.	$F_i$	$F_j$	$F_k$	$Q_j$	$Q_k$	$R_j$	$R_k$
INT	Sí	Carga	F0	T0				Sí	Sí
ADD1	No								
ADD2	No								
MUL1	No								
MUL2	No								
DIV1	No								

Registro	F0	F2	F4	F6	F8	F10	F12	F14
UF	Int							

# Ejercicio 3

## Marcador

Instrucciones	Emisión	Lec. Op.	Ejecución	Escritura
lwc1 \$f0, 4(\$t0)	1	2		
add.s \$f2, \$f0, \$f4	2			
mul.s \$f2, \$f2, \$f8				
swc1 \$f2, 4(\$t0)				

UF	Busy	Op.	$F_i$	$F_j$	$F_k$	$Q_j$	$Q_k$	$R_j$	$R_k$
INT	Sí	Carga	F0	T0				No	No
ADD1	Sí	Suma	F2	F0	F4	Int		No	Sí
ADD2	No								
MUL1	No								
MUL2	No								
DIV1	No								

Registro	F0	F2	F4	F6	F8	F10	F12	F14
UF	Int	Add1						

## Ejercicio 3

### Marcador

Instrucciones	Emisión	Lec. Op.	Ejecución	Escritura
lwc1 \$f0, 4(\$t0)	1	2	3	
add.s \$f2, \$f0, \$f4	2			
mul.s \$f2, \$f2, \$f8				
swc1 \$f2, 4(\$t0)				

UF	Busy	Op.	$F_i$	$F_j$	$F_k$	$Q_j$	$Q_k$	$R_j$	$R_k$
INT	Sí	Carga	F0	T0				No	No
ADD1	Sí	Suma	F2	F0	F4	Int		No	Sí
ADD2	No								
MUL1	No								
MUL2	No								
DIV1	No								

Registro	F0	F2	F4	F6	F8	F10	F12	F14
UF	Int	Add1						

RAW: i1 e i2; WAW: i2 e i3

## Ejercicio 3

### Marcador

Instrucciones	Emisión	Lec. Op.	Ejecución	Escritura
lwc1 \$f0, 4(\$t0)	1	2	3	4
add.s \$f2, \$f0, \$f4	2			
mul.s \$f2, \$f2, \$f8				
swc1 \$f2, 4(\$t0)				

UF	Busy	Op.	$F_i$	$F_j$	$F_k$	$Q_j$	$Q_k$	$R_j$	$R_k$
INT	No								
ADD1	Sí	Suma	F2	F0	F4			Sí	Sí
ADD2	No								
MUL1	No								
MUL2	No								
DIV1	No								

Registro	F0	F2	F4	F6	F8	F10	F12	F14
UF		Add1						

RAW: i1 e i2; WAW: i2 e i3



## Ejercicio 3

### Marcador

Instrucciones	Emisión	Lec. Op.	Ejecución	Escritura
lwc1 \$f0, 4(\$t0)	1	2	3	4
add.s \$f2, \$f0, \$f4	2	5		
mul.s \$f2, \$f2, \$f8				
swc1 \$f2, 4(\$t0)				

UF	Busy	Op.	$F_i$	$F_j$	$F_k$	$Q_j$	$Q_k$	$R_j$	$R_k$
INT	No								
ADD1	Sí	Suma	F2	F0	F4			No	No
ADD2	No								
MUL1	No								
MUL2	No								
DIV1	No								

Registro	F0	F2	F4	F6	F8	F10	F12	F14
UF		Add1						

WAW: i2 e i3

## Ejercicio 3

### Marcador

Instrucciones	Emisión	Lec. Op.	Ejecución	Escritura
lwc1 \$f0, 4(\$t0)	1	2	3	4
add.s \$f2, \$f0, \$f4	2	5	6	
mul.s \$f2, \$f2, \$f8				
swc1 \$f2, 4(\$t0)				

UF	Busy	Op.	$F_i$	$F_j$	$F_k$	$Q_j$	$Q_k$	$R_j$	$R_k$
INT	No								
ADD1	Sí	Suma	F2	F0	F4			No	No
ADD2	No								
MUL1	No								
MUL2	No								
DIV1	No								

Registro	F0	F2	F4	F6	F8	F10	F12	F14
UF		Add1						

WAW: i2 e i3

## Ejercicio 3

### Marcador

Instrucciones	Emisión	Lec. Op.	Ejecución	Escritura
lwc1 \$f0, 4(\$t0)	1	2	3	4
add.s \$f2, \$f0, \$f4	2	5	6-7	
mul.s \$f2, \$f2, \$f8				
swc1 \$f2, 4(\$t0)				

UF	Busy	Op.	$F_i$	$F_j$	$F_k$	$Q_j$	$Q_k$	$R_j$	$R_k$
INT	No								
ADD1	Sí	Suma	F2	F0	F4			No	No
ADD2	No								
MUL1	No								
MUL2	No								
DIV1	No								

Registro	F0	F2	F4	F6	F8	F10	F12	F14
UF		Add1						

WAW: i2 e i3

## Ejercicio 3

### Marcador

Instrucciones	Emisión	Lec. Op.	Ejecución	Escritura
lwc1 \$f0, 4(\$t0)	1	2	3	4
add.s \$f2, \$f0, \$f4	2	5	6-7	8
mul.s \$f2, \$f2, \$f8				
swc1 \$f2, 4(\$t0)				

UF	Busy	Op.	$F_i$	$F_j$	$F_k$	$Q_j$	$Q_k$	$R_j$	$R_k$
INT	No								
ADD1	No								
ADD2	No								
MUL1	No								
MUL2	No								
DIV1	No								

Registro	F0	F2	F4	F6	F8	F10	F12	F14
UF								

WAW: i2 e i3

# Ejercicio 3

## Marcador

Instrucciones	Emisión	Lec. Op.	Ejecución	Escritura
lwc1 \$f0, 4(\$t0)	1	2	3	4
add.s \$f2, \$f0, \$f4	2	5	6-7	8
mul.s \$f2, \$f2, \$f8	9			
swc1 \$f2, 4(\$t0)				

UF	Busy	Op.	$F_i$	$F_j$	$F_k$	$Q_j$	$Q_k$	$R_j$	$R_k$
INT	No								
ADD1	No								
ADD2	No								
MUL1	Sí	Mult	F2	F2	F8			Sí	Sí
MUL2	No								
DIV1	No								

Registro	F0	F2	F4	F6	F8	F10	F12	F14
UF		Mult1						

# Ejercicio 3

## Marcador

Instrucciones	Emisión	Lec. Op.	Ejecución	Escritura
lwc1 \$f0, 4(\$t0)	1	2	3	4
add.s \$f2, \$f0, \$f4	2	5	6-7	8
mul.s \$f2, \$f2, \$f8	9	10		
swc1 \$f2, 4(\$t0)	10			

UF	Busy	Op.	$F_i$	$F_j$	$F_k$	$Q_j$	$Q_k$	$R_j$	$R_k$
INT	Sí	Almacenamiento		T0	F2		Mult1	Sí	No
ADD1	No								
ADD2	No								
MUL1	Sí	Mult	F2	F2	F8			No	No
MUL2	No								
DIV1	No								

Registro	F0	F2	F4	F6	F8	F10	F12	F14
UF		Mult1						

## Ejercicio 3

### Marcador

Instrucciones	Emisión	Lec. Op.	Ejecución	Escritura
lwc1 \$f0, 4(\$t0)	1	2	3	4
add.s \$f2, \$f0, \$f4	2	5	6-7	8
mul.s \$f2, \$f2, \$f8	9	10	11-15	
swc1 \$f2, 4(\$t0)	10			

UF	Busy	Op.	$F_i$	$F_j$	$F_k$	$Q_j$	$Q_k$	$R_j$	$R_k$
INT	Sí	Almacenamiento		T0	F2		Mult1	Sí	No
ADD1	No								
ADD2	No								
MUL1	Sí	Mult	F2	F2	F8			No	No
MUL2	No								
DIV1	No								

Registro	F0	F2	F4	F6	F8	F10	F12	F14
UF		Mult1						

RAW: i3 e i4

## Ejercicio 3

### Marcador

Instrucciones	Emisión	Lec. Op.	Ejecución	Escritura
lwc1 \$f0, 4(\$t0)	1	2	3	4
add.s \$f2, \$f0, \$f4	2	5	6-7	8
mul.s \$f2, \$f2, \$f8	9	10	11-15	16
swc1 \$f2, 4(\$t0)	10			

UF	Busy	Op.	$F_i$	$F_j$	$F_k$	$Q_j$	$Q_k$	$R_j$	$R_k$
INT	Sí	Almacenamiento		T0	F2			Sí	Sí
ADD1	No								
ADD2	No								
MUL1	No								
MUL2	No								
DIV1	No								

Registro	F0	F2	F4	F6	F8	F10	F12	F14
UF								

RAW: i3 e i4



# Ejercicio 3

## Marcador

Instrucciones	Emisión	Lec. Op.	Ejecución	Escritura
lwc1 \$f0, 4(\$t0)	1	2	3	4
add.s \$f2, \$f0, \$f4	2	5	6-7	8
mul.s \$f2, \$f2, \$f8	9	10	11-15	16
swc1 \$f2, 4(\$t0)	10	17		

UF	Busy	Op.	$F_i$	$F_j$	$F_k$	$Q_j$	$Q_k$	$R_j$	$R_k$
INT	Sí	Almacenamiento		T0	F2			No	No
ADD1	No								
ADD2	No								
MUL1	No								
MUL2	No								
DIV1	No								

Registro	F0	F2	F4	F6	F8	F10	F12	F14
UF								

# Ejercicio 3

## Marcador

Instrucciones	Emisión	Lec. Op.	Ejecución	Escritura
lwc1 \$f0, 4(\$t0)	1	2	3	4
add.s \$f2, \$f0, \$f4	2	5	6-7	8
mul.s \$f2, \$f2, \$f8	9	10	11-15	16
swc1 \$f2, 4(\$t0)	10	17	18	

UF	Busy	Op.	$F_i$	$F_j$	$F_k$	$Q_j$	$Q_k$	$R_j$	$R_k$
INT	Sí	Almacenamiento		T0	F2			No	No
ADD1	No								
ADD2	No								
MUL1	No								
MUL2	No								
DIV1	No								

Registro	F0	F2	F4	F6	F8	F10	F12	F14
UF								

# Ejercicio 3

## Marcador

Instrucciones	Emisión	Lec. Op.	Ejecución	Escritura
lwc1 \$f0, 4(\$t0)	1	2	3	4
add.s \$f2, \$f0, \$f4	2	5	6-7	8
mul.s \$f2, \$f2, \$f8	9	10	11-15	16
swc1 \$f2, 4(\$t0)	10	17	18	19

UF	Busy	Op.	$F_i$	$F_j$	$F_k$	$Q_j$	$Q_k$	$R_j$	$R_k$
INT	No								
ADD1	No								
ADD2	No								
MUL1	No								
MUL2	No								
DIV1	No								

Registro	F0	F2	F4	F6	F8	F10	F12	F14
UF								

## Ejercicio 3

Solución a):

### Marcador

Tabla del estado de las instrucciones				
<i>Instrucciones</i>	<i>Emisión</i>	<i>Lec. Op.</i>	<i>Ejecución</i>	<i>Escritura</i>
lwc1 \$f0, 4(\$t0)	1	2	3	4
add.s \$f2, \$f0, \$f4	2	5(RAW)	6-7	8
mul.s \$f2, \$f2, \$f8	9(WAW)	10	11-15	16
swc1 \$f2, 4(\$t0)	10	17(RAW)	18	19

## Ejercicio 3

### Solución b):

#### Ciclo 3

UF	Busy	Op.	$F_i$	$F_j$	$F_k$	$Q_j$	$Q_k$	$R_j$	$R_k$
INT	Sí	Carga	F0	T0				No	No
ADD1	Sí	Suma	F2	F0	F4	Int		No	Sí
ADD2	No								
MUL1	No								
MUL2	No								
DIV1	No								

Registro	F0	F2	F4	F6	F8	F10	F12	F14
UF	Int	Add1						

## Ejercicio 3

### Solución b):

#### Ciclo 5

UF	Busy	Op.	$F_i$	$F_j$	$F_k$	$Q_j$	$Q_k$	$R_j$	$R_k$
INT	No								
ADD1	Sí	Suma	F2	F0	F4			No	No
ADD2	No								
MUL1	No								
MUL2	No								
DIV1	No								

Registro	F0	F2	F4	F6	F8	F10	F12	F14
UF		Add1						

# Ejercicio 3

## Tomasulo

<i>Instrucciones</i>	<i>Emisión</i>	<i>Ejecución</i>	<i>Escritura</i>
lwc1 \$f0,4(\$t0)			
add.s \$f2,\$f0,\$f4			
mul.s \$f2,\$f2,\$f8			
swc1 \$f2,4(\$t0)			

<i>E.R.</i>	<i>Oc.</i>	<i>Op.</i>	<i>Vj</i>	<i>Vk</i>	<i>Qj</i>	<i>Qk</i>	<i>A</i>
Load1	No						
Store1	No						
ADD1	No						
ADD2	No						
MUL1	No						
MUL2	No						
DIV1	No						

<i>Registro</i>	<i>F0</i>	<i>F2</i>	<i>F4</i>	<i>F6</i>	<i>F8</i>	<i>F10</i>	<i>F12</i>	<i>F14</i>
<i>E.R.</i>								

## Ejercicio 3

### Tomasulo

<i>Instrucciones</i>	<i>Emisión</i>	<i>Ejecución</i>	<i>Escritura</i>
lwc1 \$f0,4(\$t0)	1		
add.s \$f2,\$f0,\$f4			
mul.s \$f2,\$f2,\$f8			
swc1 \$f2,4(\$t0)			

<i>E.R.</i>	<i>Oc.</i>	<i>Op.</i>	<i>Vj</i>	<i>Vk</i>	<i>Qj</i>	<i>Qk</i>	<i>A</i>
Load1	Sí	Carga	0x10010000				4
Store1	No						
ADD1	No						
ADD2	No						
MUL1	No						
MUL2	No						
DIV1	No						

<i>Registro</i>	<i>F0</i>	<i>F2</i>	<i>F4</i>	<i>F6</i>	<i>F8</i>	<i>F10</i>	<i>F12</i>	<i>F14</i>
<i>E.R.</i>	Load1							



# Ejercicio 3

## Tomasulo

Instrucciones	Emisión	Ejecución	Escritura
lwc1 \$f0,4(\$t0)	1	2	
add.s \$f2,\$f0,\$f4	2		
mul.s \$f2,\$f2,\$f8			
swc1 \$f2,4(\$t0)			

E.R.	Oc.	Op.	Vj	Vk	Qj	Qk	A
Load1	Sí	Carga	0x10010000				0x10010004
Store1	No						
ADD1	Sí	Suma		0x40800000	Load1		
ADD2	No						
MUL1	No						
MUL2	No						
DIV1	No						

Registro	F0	F2	F4	F6	F8	F10	F12	F14
E.R.	Load1	Add1						

## Ejercicio 3

### Tomasulo

<i>Instrucciones</i>	<i>Emisión</i>	<i>Ejecución</i>	<i>Escritura</i>
lwc1 \$f0,4(\$t0)	1	2-3	
add.s \$f2,\$f0,\$f4	2		
mul.s \$f2,\$f2,\$f8	3		
swc1 \$f2,4(\$t0)			

<i>E.R.</i>	<i>Oc.</i>	<i>Op.</i>	<i>Vj</i>	<i>Vk</i>	<i>Qj</i>	<i>Qk</i>	<i>A</i>
Load1	Sí	Carga	0x10010000				0x10010004
Store1	No						
ADD1	Sí	Suma		0x40800000	Load1		
ADD2	No						
MUL1	Sí	Mult		0x41000000	Add1		
MUL2	No						
DIV1	No						

<i>Registro</i>	<i>F0</i>	<i>F2</i>	<i>F4</i>	<i>F6</i>	<i>F8</i>	<i>F10</i>	<i>F12</i>	<i>F14</i>
<i>E.R.</i>	Load1	Mult1						

RAW: i1 e i2

## Ejercicio 3

### Tomasulo

<i>Instrucciones</i>	<i>Emisión</i>	<i>Ejecución</i>	<i>Escritura</i>
lwc1 \$f0,4(\$t0)	1	2-3	4
add.s \$f2,\$f0,\$f4	2		
mul.s \$f2,\$f2,\$f8	3		
swc1 \$f2,4(\$t0)	4		

<i>E.R.</i>	<i>Oc.</i>	<i>Op.</i>	<i>Vj</i>	<i>Vk</i>	<i>Qj</i>	<i>Qk</i>	<i>A</i>
Load1	No						
Store1	Sí	Almac	0x10010000			Mult	4
ADD1	Sí	Suma	0x10010004	0x40800000			
ADD2	No						
MUL1	Sí	Mult		0x41000000	Add1		
MUL2	No						
DIV1	No						

<i>Registro</i>	<i>F0</i>	<i>F2</i>	<i>F4</i>	<i>F6</i>	<i>F8</i>	<i>F10</i>	<i>F12</i>	<i>F14</i>
<i>E.R.</i>		Mult1						

RAW: i1 e i2; RAW: i2 e i3

## Ejercicio 3

### Tomasulo

Instrucciones	Emisión	Ejecución	Escritura
lwc1 \$f0,4(\$t0)	1	2-3	4
add.s \$f2,\$f0,\$f4	2	5	
mul.s \$f2,\$f2,\$f8	3		
swc1 \$f2,4(\$t0)	4	5	

E.R.	Oc.	Op.	Vj	Vk	Qj	Qk	A
Load1	No						
Store1	Sí	Almac	0x10010000			Mult	0x10010004
ADD1	Sí	Suma	0x10010004	0x40800000			
ADD2	No						
MUL1	Sí	Mult		0x41000000	Add1		
MUL2	No						
DIV1	No						

Registro	F0	F2	F4	F6	F8	F10	F12	F14
E.R.		Mult1						

RAW: i2 e i3

# Ejercicio 3

## Tomasulo

Instrucciones	Emisión	Ejecución	Escritura
lwc1 \$f0,4(\$t0)	1	2-3	4
add.s \$f2,\$f0,\$f4	2	5-6	
mul.s \$f2,\$f2,\$f8	3		
swc1 \$f2,4(\$t0)	4	5	

E.R.	Oc.	Op.	Vj	Vk	Qj	Qk	A
Load1	No						
Store1	Sí	Almac	0x10010000			Mult	0x10010004
ADD1	Sí	Suma	0x10010004	0x40800000			
ADD2	No						
MUL1	Sí	Mult		0x41000000	Add1		
MUL2	No						
DIV1	No						

Registro	F0	F2	F4	F6	F8	F10	F12	F14
E.R.		Mult1						

RAW: i2 e i3; RAW: i3 e i4

## Ejercicio 3

### Tomasulo

Instrucciones	Emisión	Ejecución	Escritura
lwc1 \$f0,4(\$t0)	1	2-3	4
add.s \$f2,\$f0,\$f4	2	5-6	7
mul.s \$f2,\$f2,\$f8	3		
swc1 \$f2,4(\$t0)	4	5	

E.R.	Oc.	Op.	Vj	Vk	Qj	Qk	A
Load1	No						
Store1	Sí	Almac	0x10010000			Mult	0x10010004
ADD1	No						
ADD2	No						
MUL1	Sí	Mult	0x40800000	0x41000000			
MUL2	No						
DIV1	No						

Registro	F0	F2	F4	F6	F8	F10	F12	F14
E.R.		Mult1						

RAW: i2 e i3; RAW: i3 e i4

# Ejercicio 3

## Tomasulo

Instrucciones	Emisión	Ejecución	Escritura
lwc1 \$f0,4(\$t0)	1	2-3	4
add.s \$f2,\$f0,\$f4	2	5-6	7
mul.s \$f2,\$f2,\$f8	3	8-12	
swc1 \$f2,4(\$t0)	4	5	

E.R.	Oc.	Op.	Vj	Vk	Qj	Qk	A
Load1	No						
Store1	Sí	Almac	0x10010000			Mult	0x10010004
ADD1	No						
ADD2	No						
MUL1	Sí	Mult	0x40800000	0x41000000			
MUL2	No						
DIV1	No						

Registro	F0	F2	F4	F6	F8	F10	F12	F14
E.R.		Mult1						

RAW: i3 e i4

## Ejercicio 3

### Tomasulo

<i>Instrucciones</i>	<i>Emisión</i>	<i>Ejecución</i>	<i>Escritura</i>
lwc1 \$f0,4(\$t0)	1	2-3	4
add.s \$f2,\$f0,\$f4	2	5-6	7
mul.s \$f2,\$f2,\$f8	3	8-12	13
swc1 \$f2,4(\$t0)	4	5	

<i>E.R.</i>	<i>Oc.</i>	<i>Op.</i>	<i>Vj</i>	<i>Vk</i>	<i>Qj</i>	<i>Qk</i>	<i>A</i>
Load1	No						
Store1	Sí	Almac	0x10010000	0x42000000			0x10010004
ADD1	No						
ADD2	No						
MUL1	No						
MUL2	No						
DIV1	No						

<i>Registro</i>	<i>F0</i>	<i>F2</i>	<i>F4</i>	<i>F6</i>	<i>F8</i>	<i>F10</i>	<i>F12</i>	<i>F14</i>
<i>E.R.</i>								

RAW: i3 e i4



# Ejercicio 3

## Tomasulo

<i>Instrucciones</i>	<i>Emisión</i>	<i>Ejecución</i>	<i>Escritura</i>
lwc1 \$f0,4(\$t0)	1	2-3	4
add.s \$f2,\$f0,\$f4	2	5-6	7
mul.s \$f2,\$f2,\$f8	3	8-12	13
swc1 \$f2,4(\$t0)	4	5	14

<i>E.R.</i>	<i>Oc.</i>	<i>Op.</i>	<i>Vj</i>	<i>Vk</i>	<i>Qj</i>	<i>Qk</i>	<i>A</i>
Load1	No						
Store1	No						
ADD1	No						
ADD2	No						
MUL1	No						
MUL2	No						
DIV1	No						

<i>Registro</i>	<i>F0</i>	<i>F2</i>	<i>F4</i>	<i>F6</i>	<i>F8</i>	<i>F10</i>	<i>F12</i>	<i>F14</i>
<i>E.R.</i>								

## Ejercicio 3

Solución a):

### Marcador

Tabla del estado de las instrucciones				
<i>Instrucciones</i>	<i>Emisión</i>	<i>Lec. Op.</i>	<i>Ejecución</i>	<i>Escritura</i>
lwc1 \$f0, 4(\$t0)	1	2	3	4
add.s \$f2, \$f0, \$f4	2	5(RAW)	6-7	8
mul.s \$f2, \$f2, \$f8	9(WAW)	10	11-15	16
swc1 \$f2, 4(\$t0)	10	17(RAW)	18	19

### Tomasulo

<i>Instrucciones</i>	<i>Emisión</i>	<i>Ejecución</i>	<i>Escritura</i>
lwc1 \$f0,4(\$t0)	1	2-3	4
add.s \$f2,\$f0,\$f4	2	5-6(RAW)	7
mul.s \$f2,\$f2,\$f8	3	8-12(RAW)	13
swc1 \$f2,4(\$t0)	4	5	14 (RAW)

## Ejercicio 3

### Solución c):

#### Ciclo 3

<i>E.R.</i>	<i>Oc.</i>	<i>Op.</i>	<i>Vj</i>	<i>Vk</i>	<i>Qj</i>	<i>Qk</i>	<i>A</i>
Load1	Sí	Carga	0x10010000				0x10010004
Store1	No						
ADD1	Sí	Suma		0x40800000	Load1		
ADD2	No						
MUL1	Sí	Mult		0x41000000	Add1		
MUL2	No						
DIV1	No						

<i>Registro</i>	<i>F0</i>	<i>F2</i>	<i>F4</i>	<i>F6</i>	<i>F8</i>	<i>F10</i>	<i>F12</i>	<i>F14</i>
<i>E.R.</i>	Load1	Mult1						

## Ejercicio 3

### Solución c):

#### Ciclo 5

<i>E.R.</i>	<i>Oc.</i>	<i>Op.</i>	<i>Vj</i>	<i>Vk</i>	<i>Qj</i>	<i>Qk</i>	<i>A</i>
Load1	No						
Store1	Sí	Almac	0x10010000			Mult	0x10010004
ADD1	Sí	Suma	0x10010004	0x40800000			
ADD2	No						
MUL1	Sí	Mult		0x41000000	Add1		
MUL2	No						
DIV1	No						

<i>Registro</i>	<i>F0</i>	<i>F2</i>	<i>F4</i>	<i>F6</i>	<i>F8</i>	<i>F10</i>	<i>F12</i>	<i>F14</i>
<i>E.R.</i>		Mult1						

## Ejercicio 4

### Enunciado:

*Supongamos un procesador que usa Marcador para la planificación dinámica, con 3 unidades de suma, 2 de multiplicación y una de división en punto flotante, cuyas latencias son, respectivamente, 3, 6 y 12 ciclos. Indica en la siguiente tabla que riesgos hay y rellénala con el estado de las instrucciones indicando en qué ciclo se completa cada fase.*

Instrucciones	Emisión	Lectura	Ejecución	Escritura
sub.s f2,f0,f6				
mul.s f0,f6,f4				
mul.s f4,f6,f0				
div.s f2,f4,f6				
sub.s f6,f8,f6				

# Ejercicio 4

## Marcador

<i>Instrucciones</i>	<i>Emisión</i>	<i>Lec. Op.</i>	<i>Ejecución</i>	<i>Escritura</i>
sub.s f2,f0,f6				
mul.s f0,f6,f4				
mul.s f4,f6,f0				
div.s f2,f4,f6				
sub.s f6,f8,f6				

UF	Busy	Op.	$F_i$	$F_j$	$F_k$	$Q_j$	$Q_k$	$R_j$	$R_k$
INT	No								
ADD1	No								
ADD2	No								
ADD3	No								
MUL1	No								
MUL2	No								
DIV1	No								

Registro	F0	F2	F4	F6	F8	F10	F12	F14
UF								

## Ejercicio 4

### Marcador

<i>Instrucciones</i>	<i>Emisión</i>	<i>Lec. Op.</i>	<i>Ejecución</i>	<i>Escritura</i>
sub.s f2,f0,f6	1			
mul.s f0,f6,f4				
mul.s f4,f6,f0				
div.s f2,f4,f6				
sub.s f6,f8,f6				

UF	Busy	Op.	$F_i$	$F_j$	$F_k$	$Q_j$	$Q_k$	$R_j$	$R_k$
INT	No								
ADD1	Sí	Resta	F2	F0	F6			Sí	Sí
ADD2	No								
ADD3	No								
MUL1	No								
MUL2	No								
DIV1	No								

Registro	F0	F2	F4	F6	F8	F10	F12	F14
UF		Add1						

# Ejercicio 4

## Marcador

<i>Instrucciones</i>	<i>Emisión</i>	<i>Lec. Op.</i>	<i>Ejecución</i>	<i>Escritura</i>
sub.s f2,f0,f6	1	2		
mul.s f0,f6,f4	2			
mul.s f4,f6,f0				
div.s f2,f4,f6				
sub.s f6,f8,f6				

UF	Busy	Op.	$F_i$	$F_j$	$F_k$	$Q_j$	$Q_k$	$R_j$	$R_k$
INT	No								
ADD1	Sí	Resta	F2	F0	F6			No	No
ADD2	No								
ADD3	No								
MUL1	Sí	Mult	F0	F6	F4			Sí	Sí
MUL2	No								
DIV1	No								

Registro	F0	F2	F4	F6	F8	F10	F12	F14
UF	Mul1	Add1						



# Ejercicio 4

## Marcador

<i>Instrucciones</i>	<i>Emisión</i>	<i>Lec. Op.</i>	<i>Ejecución</i>	<i>Escritura</i>
sub.s f2,f0,f6	1	2	3-	
mul.s f0,f6,f4	2	3		
mul.s f4,f6,f0	3			
div.s f2,f4,f6				
sub.s f6,f8,f6				

UF	Busy	Op.	$F_i$	$F_j$	$F_k$	$Q_j$	$Q_k$	$R_j$	$R_k$
INT	No								
ADD1	Sí	Resta	F2	F0	F6			No	No
ADD2	No								
ADD3	No								
MUL1	Sí	Mult	F0	F6	F4			No	No
MUL2	Sí	Mult	F4	F6	F0		Mult1	Sí	No
DIV1	No								

Registro	F0	F2	F4	F6	F8	F10	F12	F14
UF	Mul1	Add1	Mul2					

## Ejercicio 4

### Marcador

Instrucciones	Emisión	Lec. Op.	Ejecución	Escritura
sub.s f2,f0,f6	1	2	3-	
mul.s f0,f6,f4	2	3	4-	
mul.s f4,f6,f0	3			
div.s f2,f4,f6				
sub.s f6,f8,f6				

UF	Busy	Op.	$F_i$	$F_j$	$F_k$	$Q_j$	$Q_k$	$R_j$	$R_k$
INT	No								
ADD1	Sí	Resta	F2	F0	F6			No	No
ADD2	No								
ADD3	No								
MUL1	Sí	Mult	F0	F6	F4			No	No
MUL2	Sí	Mult	F4	F6	F0		Mult1	Sí	No
DIV1	No								

Registro	F0	F2	F4	F6	F8	F10	F12	F14
UF	Mul1	Add1	Mul2					

RAW: i2 e i3; WAW: i1 e i4

# Ejercicio 4

## Marcador

Instrucciones	Emisión	Lec. Op.	Ejecución	Escritura
sub.s f2,f0,f6	1	2	3-5	
mul.s f0,f6,f4	2	3	4-	
mul.s f4,f6,f0	3			
div.s f2,f4,f6				
sub.s f6,f8,f6				

UF	Busy	Op.	$F_i$	$F_j$	$F_k$	$Q_j$	$Q_k$	$R_j$	$R_k$
INT	No								
ADD1	Sí	Resta	F2	F0	F6			No	No
ADD2	No								
ADD3	No								
MUL1	Sí	Mult	F0	F6	F4			No	No
MUL2	Sí	Mult	F4	F6	F0		Mult1	Sí	No
DIV1	No								

Registro	F0	F2	F4	F6	F8	F10	F12	F14
UF	Mul1	Add1	Mul2					

RAW: i2 e i3; WAW: i1 e i4

## Ejercicio 4

### Marcador

Instrucciones	Emisión	Lec. Op.	Ejecución	Escritura
sub.s f2,f0,f6	1	2	3-5	6
mul.s f0,f6,f4	2	3	4-	
mul.s f4,f6,f0	3			
div.s f2,f4,f6				
sub.s f6,f8,f6				

UF	Busy	Op.	$F_i$	$F_j$	$F_k$	$Q_j$	$Q_k$	$R_j$	$R_k$
INT	No								
ADD1	No								
ADD2	No								
ADD3	No								
MUL1	Sí	Mult	F0	F6	F4			No	No
MUL2	Sí	Mult	F4	F6	F0		Mult1	Sí	No
DIV1	No								

Registro	F0	F2	F4	F6	F8	F10	F12	F14
UF	Mul1		Mul2					

RAW: i2 e i3; WAW: i1 e i4

## Ejercicio 4

### Marcador

Instrucciones	Emisión	Lec. Op.	Ejecución	Escritura
sub.s f2,f0,f6	1	2	3-5	6
mul.s f0,f6,f4	2	3	4-	
mul.s f4,f6,f0	3			
div.s f2,f4,f6	7			
sub.s f6,f8,f6				

UF	Busy	Op.	$F_i$	$F_j$	$F_k$	$Q_j$	$Q_k$	$R_j$	$R_k$
INT	No								
ADD1	No								
ADD2	No								
ADD3	No								
MUL1	Sí	Mult	F0	F6	F4			No	No
MUL2	Sí	Mult	F4	F6	F0		Mult1	Sí	No
DIV1	Sí	Div	F2	F4	F6	Mult2		No	Sí

Registro	F0	F2	F4	F6	F8	F10	F12	F14
UF	Mul1	Div1	Mul2					

RAW: i2 e i3

## Ejercicio 4

### Marcador

Instrucciones	Emisión	Lec. Op.	Ejecución	Escritura
sub.s f2,f0,f6	1	2	3-5	6
mul.s f0,f6,f4	2	3	4-	
mul.s f4,f6,f0	3			
div.s f2,f4,f6	7			
sub.s f6,f8,f6	8			

UF	Busy	Op.	$F_i$	$F_j$	$F_k$	$Q_j$	$Q_k$	$R_j$	$R_k$
INT	No								
ADD1	Sí	Resta	F6	F8	F6			Sí	Sí
ADD2	No								
ADD3	No								
MUL1	Sí	Mult	F0	F6	F4			No	No
MUL2	Sí	Mult	F4	F6	F0		Mult1	Sí	No
DIV1	Sí	Div	F2	F4	F6	Mult2		No	Sí

Registro	F0	F2	F4	F6	F8	F10	F12	F14
UF	Mul1	Div1	Mul2	Add1				

RAW: i2 e i3; RAW: i3 e i4

# Ejercicio 4

## Marcador

Instrucciones	Emisión	Lec. Op.	Ejecución	Escritura
sub.s f2,f0,f6	1	2	3-5	6
mul.s f0,f6,f4	2	3	4-9	
mul.s f4,f6,f0	3			
div.s f2,f4,f6	7			
sub.s f6,f8,f6	8	9		

UF	Busy	Op.	$F_i$	$F_j$	$F_k$	$Q_j$	$Q_k$	$R_j$	$R_k$
INT	No								
ADD1	Sí	Resta	F6	F8	F6			No	No
ADD2	No								
ADD3	No								
MUL1	Sí	Mult	F0	F6	F4			No	No
MUL2	Sí	Mult	F4	F6	F0		Mult1	Sí	No
DIV1	Sí	Div	F2	F4	F6	Mult2		No	Sí

Registro	F0	F2	F4	F6	F8	F10	F12	F14
UF	Mul1	Div1	Mul2	Add1				

RAW: i2 e i3; RAW: i3 e i4

## Ejercicio 4

### Marcador

Instrucciones	Emisión	Lec. Op.	Ejecución	Escritura
sub.s f2,f0,f6	1	2	3-5	6
mul.s f0,f6,f4	2	3	4-9	10
mul.s f4,f6,f0	3			
div.s f2,f4,f6	7			
sub.s f6,f8,f6	8	9	10-	

UF	Busy	Op.	$F_i$	$F_j$	$F_k$	$Q_j$	$Q_k$	$R_j$	$R_k$
INT	No								
ADD1	Sí	Resta	F6	F8	F6			No	No
ADD2	No								
ADD3	No								
MUL1	No								
MUL2	Sí	Mult	F4	F6	F0			Sí	Sí
DIV1	Sí	Div	F2	F4	F6	Mult2		No	Sí

Registro	F0	F2	F4	F6	F8	F10	F12	F14
UF		Div1	Mul2	Add1				

RAW: i2 e i3; RAW: i3 e i4



## Ejercicio 4

### Marcador

Instrucciones	Emisión	Lec. Op.	Ejecución	Escritura
sub.s f2,f0,f6	1	2	3-5	6
mul.s f0,f6,f4	2	3	4-9	10
mul.s f4,f6,f0	3	11		
div.s f2,f4,f6	7			
sub.s f6,f8,f6	8	9	10-	

UF	Busy	Op.	$F_i$	$F_j$	$F_k$	$Q_j$	$Q_k$	$R_j$	$R_k$
INT	No								
ADD1	Sí	Resta	F6	F8	F6			No	No
ADD2	No								
ADD3	No								
MUL1	No								
MUL2	Sí	Mult	F4	F6	F0			No	No
DIV1	Sí	Div	F2	F4	F6	Mult2		No	Sí

Registro	F0	F2	F4	F6	F8	F10	F12	F14
UF		Div1	Mul2	Add1				

RAW: i3 e i4

## Ejercicio 4

### Marcador

Instrucciones	Emisión	Lec. Op.	Ejecución	Escritura
sub.s f2,f0,f6	1	2	3-5	6
mul.s f0,f6,f4	2	3	4-9	10
mul.s f4,f6,f0	3	11	12-	
div.s f2,f4,f6	7			
sub.s f6,f8,f6	8	9	10-12	

UF	Busy	Op.	$F_i$	$F_j$	$F_k$	$Q_j$	$Q_k$	$R_j$	$R_k$
INT	No								
ADD1	Sí	Resta	F6	F8	F6			No	No
ADD2	No								
ADD3	No								
MUL1	No								
MUL2	Sí	Mult	F4	F6	F0			No	No
DIV1	Sí	Div	F2	F4	F6	Mult2		No	Sí

Registro	F0	F2	F4	F6	F8	F10	F12	F14
UF		Div1	Mul2	Add1				

RAW: i3 e i4: WAR: i4 e i5

## Ejercicio 4

### Marcador

Instrucciones	Emisión	Lec. Op.	Ejecución	Escritura
sub.s f2,f0,f6	1	2	3-5	6
mul.s f0,f6,f4	2	3	4-9	10
mul.s f4,f6,f0	3	11	12-17	
div.s f2,f4,f6	7			
sub.s f6,f8,f6	8	9	10-12	

UF	Busy	Op.	$F_i$	$F_j$	$F_k$	$Q_j$	$Q_k$	$R_j$	$R_k$
INT	No								
ADD1	Sí	Resta	F6	F8	F6			No	No
ADD2	No								
ADD3	No								
MUL1	No								
MUL2	Sí	Mult	F4	F6	F0			No	No
DIV1	Sí	Div	F2	F4	F6	Mult2		No	Sí

Registro	F0	F2	F4	F6	F8	F10	F12	F14
UF		Div1	Mul2	Add1				

RAW: i3 e i4: WAR: i4 e i5

## Ejercicio 4

### Marcador

Instrucciones	Emisión	Lec. Op.	Ejecución	Escritura
sub.s f2,f0,f6	1	2	3-5	6
mul.s f0,f6,f4	2	3	4-9	10
mul.s f4,f6,f0	3	11	12-17	18
div.s f2,f4,f6	7			
sub.s f6,f8,f6	8	9	10-12	

UF	Busy	Op.	$F_i$	$F_j$	$F_k$	$Q_j$	$Q_k$	$R_j$	$R_k$
INT	No								
ADD1	Sí	Resta	F6	F8	F6			No	No
ADD2	No								
ADD3	No								
MUL1	No								
MUL2	No								
DIV1	Sí	Div	F2	F4	F6			Sí	Sí

Registro	F0	F2	F4	F6	F8	F10	F12	F14
UF		Div1		Add1				

RAW: i3 e i4: WAR: i4 e i5

## Ejercicio 4

### Marcador

Instrucciones	Emisión	Lec. Op.	Ejecución	Escritura
sub.s f2,f0,f6	1	2	3-5	6
mul.s f0,f6,f4	2	3	4-9	10
mul.s f4,f6,f0	3	11	12-17	18
div.s f2,f4,f6	7	19		
sub.s f6,f8,f6	8	9	10-12	

UF	Busy	Op.	$F_i$	$F_j$	$F_k$	$Q_j$	$Q_k$	$R_j$	$R_k$
INT	No								
ADD1	Sí	Resta	F6	F8	F6			No	No
ADD2	No								
ADD3	No								
MUL1	No								
MUL2	No								
DIV1	Sí	Div	F2	F4	F6			No	No

Registro	F0	F2	F4	F6	F8	F10	F12	F14
UF		Div1		Add1				

# Ejercicio 4

## Marcador

<i>Instrucciones</i>	<i>Emisión</i>	<i>Lec. Op.</i>	<i>Ejecución</i>	<i>Escritura</i>
sub.s f2,f0,f6	1	2	3-5	6
mul.s f0,f6,f4	2	3	4-9	10
mul.s f4,f6,f0	3	11	12-17	18
div.s f2,f4,f6	7	19	20-	
sub.s f6,f8,f6	8	9	10-12	20

UF	Busy	Op.	$F_i$	$F_j$	$F_k$	$Q_j$	$Q_k$	$R_j$	$R_k$
INT	No								
ADD1	No								
ADD2	No								
ADD3	No								
MUL1	No								
MUL2	No								
DIV1	Sí	Div	F2	F4	F6			No	No

Registro	F0	F2	F4	F6	F8	F10	F12	F14
UF		Div1						

# Ejercicio 4

## Marcador

<i>Instrucciones</i>	<i>Emisión</i>	<i>Lec. Op.</i>	<i>Ejecución</i>	<i>Escritura</i>
sub.s f2,f0,f6	1	2	3-5	6
mul.s f0,f6,f4	2	3	4-9	10
mul.s f4,f6,f0	3	11	12-17	18
div.s f2,f4,f6	7	19	20-31	
sub.s f6,f8,f6	8	9	10-12	20

UF	Busy	Op.	$F_i$	$F_j$	$F_k$	$Q_j$	$Q_k$	$R_j$	$R_k$
INT	No								
ADD1	No								
ADD2	No								
ADD3	No								
MUL1	No								
MUL2	No								
DIV1	Sí	Div	F2	F4	F6			No	No

Registro	F0	F2	F4	F6	F8	F10	F12	F14
UF		Div1						

# Ejercicio 4

## Marcador

<i>Instrucciones</i>	<i>Emisión</i>	<i>Lec. Op.</i>	<i>Ejecución</i>	<i>Escritura</i>
sub.s f2,f0,f6	1	2	3-5	6
mul.s f0,f6,f4	2	3	4-9	10
mul.s f4,f6,f0	3	11	12-17	18
div.s f2,f4,f6	7	19	20-31	32
sub.s f6,f8,f6	8	9	10-12	20

UF	Busy	Op.	$F_i$	$F_j$	$F_k$	$Q_j$	$Q_k$	$R_j$	$R_k$
INT	No								
ADD1	No								
ADD2	No								
ADD3	No								
MUL1	No								
MUL2	No								
DIV1	No								

Registro	F0	F2	F4	F6	F8	F10	F12	F14
UF								



## Ejercicio 4

### Solución:

Instrucciones	Emisión	Lectura	Ejecución	Escritura
sub.s f2,f0,f6	1	2	3-5	6
mul.s f0,f6,f4	2	3	4-9	10
mul.s f4,f6,f0	3	11(RAW)	12-17	18
div.s f2,f4,f6	7(WAW)	19(RAW)	20-31	32
sub.s f6,f8,f6	8	9	10-12	20(WAR)

## Ejercicio 5

### Enunciado:

*Para el enunciado del ejercicio anterior pero utilizando un procesador que implemente planificación dinámica usando el algoritmo de Tomasulo, indica los riesgos que hay. Rellena la tabla del estado de las instrucciones indicando en que ciclo se completa cada fase.*

Instrucciones	Emisión	Ejecución	Escritura
sub.s f2,f0,f6			
mul.s f0,f6,f4			
mul.s f4,f6,f0			
div.s f2,f4,f6			
sub.s f6,f8,f6			

# Ejercicio 5

## Tomasulo

<i>Instrucciones</i>	<i>Emisión</i>	<i>Ejecución</i>	<i>Escritura</i>
sub.s f2,f0,f6			
mul.s f0,f6,f4			
mul.s f4,f6,f0			
div.s f2,f4,f6			
sub.s f6,f8,f6			

<i>E.R.</i>	<i>Oc.</i>	<i>Op.</i>	<i>Vj</i>	<i>Vk</i>	<i>Qj</i>	<i>Qk</i>	<i>A</i>
Load1	No						
Store1	No						
ADD1	No						
ADD2	No						
ADD3	No						
MUL1	No						
MUL2	No						
DIV1	No						

<i>Registro</i>	<i>F0</i>	<i>F2</i>	<i>F4</i>	<i>F6</i>	<i>F8</i>	<i>F10</i>	<i>F12</i>	<i>F14</i>
<i>E.R.</i>								

## Ejercicio 5

<i>Instrucciones</i>	<i>Emisión</i>	<i>Ejecución</i>	<i>Escritura</i>
sub.s f2,f0,f6	1		
mul.s f0,f6,f4			
mul.s f4,f6,f0			
div.s f2,f4,f6			
sub.s f6,f8,f6			

<i>E.R.</i>	<i>Oc.</i>	<i>Op.</i>	<i>Vj</i>	<i>Vk</i>	<i>Qj</i>	<i>Qk</i>	<i>A</i>
Load1	No						
Store1	No						
ADD1	Sí	Resta	0x00000000	0x40c00000			
ADD2	No						
ADD3	No						
MUL1	No						
MUL2	No						
DIV1	No						

<i>Registro</i>	<i>F0</i>	<i>F2</i>	<i>F4</i>	<i>F6</i>	<i>F8</i>	<i>F10</i>	<i>F12</i>	<i>F14</i>
<i>E.R.</i>		Add1						

## Ejercicio 5

<i>Instrucciones</i>	<i>Emisión</i>	<i>Ejecución</i>	<i>Escritura</i>
sub.s f2,f0,f6	1	2-	
mul.s f0,f6,f4	2		
mul.s f4,f6,f0			
div.s f2,f4,f6			
sub.s f6,f8,f6			

<i>E.R.</i>	<i>Oc.</i>	<i>Op.</i>	<i>Vj</i>	<i>Vk</i>	<i>Qj</i>	<i>Qk</i>	<i>A</i>
Load1	No						
Store1	No						
ADD1	Sí	Resta	0x00000000	0x40c00000			
ADD2	No						
ADD3	No						
MUL1	Sí	Mult	0x40c00000	0x40800000			
MUL2	No						
DIV1	No						

<i>Registro</i>	<i>F0</i>	<i>F2</i>	<i>F4</i>	<i>F6</i>	<i>F8</i>	<i>F10</i>	<i>F12</i>	<i>F14</i>
<i>E.R.</i>	Mult1	Add1						

## Ejercicio 5

<i>Instrucciones</i>	<i>Emisión</i>	<i>Ejecución</i>	<i>Escritura</i>
sub.s f2,f0,f6	1	2-	
mul.s f0,f6,f4	2	3-	
mul.s f4,f6,f0	3		
div.s f2,f4,f6			
sub.s f6,f8,f6			

<i>E.R.</i>	<i>Oc.</i>	<i>Op.</i>	<i>Vj</i>	<i>Vk</i>	<i>Qj</i>	<i>Qk</i>	<i>A</i>
Load1	No						
Store1	No						
ADD1	Sí	Resta	0x00000000	0x40c00000			
ADD2	No						
ADD3	No						
MUL1	Sí	Mult	0x40c00000	0x40800000			
MUL2	Sí	Mult	0x40c00000			Mult1	
DIV1	No						

<i>Registro</i>	<i>F0</i>	<i>F2</i>	<i>F4</i>	<i>F6</i>	<i>F8</i>	<i>F10</i>	<i>F12</i>	<i>F14</i>
<i>E.R.</i>	Mult1	Add1	Mult2					

## Ejercicio 5

<i>Instrucciones</i>	<i>Emisión</i>	<i>Ejecución</i>	<i>Escritura</i>
sub.s f2,f0,f6	1	2- 4	
mul.s f0,f6,f4	2	3-	
mul.s f4,f6,f0	3		
div.s f2,f4,f6	4		
sub.s f6,f8,f6			

<i>E.R.</i>	<i>Oc.</i>	<i>Op.</i>	<i>Vj</i>	<i>Vk</i>	<i>Qj</i>	<i>Qk</i>	<i>A</i>
Load1	No						
Store1	No						
ADD1	Sí	Resta	0x00000000	0x40c00000			
ADD2	No						
ADD3	No						
MUL1	Sí	Mult	0x40c00000	0x40800000			
MUL2	Sí	Mult	0x40c00000			Mult1	
DIV1	Sí	Div		0x40c00000	Mult2		

<i>Registro</i>	<i>F0</i>	<i>F2</i>	<i>F4</i>	<i>F6</i>	<i>F8</i>	<i>F10</i>	<i>F12</i>	<i>F14</i>
<i>E.R.</i>	Mult1	Div1	Mult2					

RAW: i2 e i3

## Ejercicio 5

Instrucciones	Emisión	Ejecución	Escritura
sub.s f2,f0,f6	1	2- 4	5
mul.s f0,f6,f4	2	3-	
mul.s f4,f6,f0	3		
div.s f2,f4,f6	4		
sub.s f6,f8,f6	5		

E.R.	Oc.	Op.	Vj	Vk	Qj	Qk	A
Load1	No						
Store1	No						
ADD1	No						
ADD2	Sí	Resta	0x41000000	0x40c00000			
ADD3	No						
MUL1	Sí	Mult	0x40c00000	0x40800000			
MUL2	Sí	Mult	0x40c00000			Mult1	
DIV1	Sí	Div		0x40c00000	Mult2		

Registro	F0	F2	F4	F6	F8	F10	F12	F14
E.R.	Mult1	Div1	Mult2	Add2				

RAW: i2 e i3; RAW: i3 e i4



## Ejercicio 5

Instrucciones	Emisión	Ejecución	Escritura
sub.s f2,f0,f6	1	2- 4	5
mul.s f0,f6,f4	2	3-	
mul.s f4,f6,f0	3		
div.s f2,f4,f6	4		
sub.s f6,f8,f6	5	6-	

E.R.	Oc.	Op.	Vj	Vk	Qj	Qk	A
Load1	No						
Store1	No						
ADD1	No						
ADD2	Sí	Resta	0x41000000	0x40c00000			
ADD3	No						
MUL1	Sí	Mult	0x40c00000	0x40800000			
MUL2	Sí	Mult	0x40c00000			Mult1	
DIV1	Sí	Div		0x40c00000	Mult2		

Registro	F0	F2	F4	F6	F8	F10	F12	F14
E.R.	Mult1	Div1	Mult2	Add2				

RAW: i2 e i3; RAW: i3 e i4

## Ejercicio 5

<i>Instrucciones</i>	<i>Emisión</i>	<i>Ejecución</i>	<i>Escritura</i>
sub.s f2,f0,f6	1	2- 4	5
mul.s f0,f6,f4	2	3-8	
mul.s f4,f6,f0	3		
div.s f2,f4,f6	4		
sub.s f6,f8,f6	5	6-8	

<i>E.R.</i>	<i>Oc.</i>	<i>Op.</i>	<i>Vj</i>	<i>Vk</i>	<i>Qj</i>	<i>Qk</i>	<i>A</i>
Load1	No						
Store1	No						
ADD1	No						
ADD2	Sí	Resta	0x41000000	0x40c00000			
ADD3	No						
MUL1	Sí	Mult	0x40c00000	0x40800000			
MUL2	Sí	Mult	0x40c00000			Mult1	
DIV1	Sí	Div		0x40c00000	Mult2		

<i>Registro</i>	<i>F0</i>	<i>F2</i>	<i>F4</i>	<i>F6</i>	<i>F8</i>	<i>F10</i>	<i>F12</i>	<i>F14</i>
<i>E.R.</i>	Mult1	Div1	Mult2	Add2				

RAW: i2 e i3; RAW: i3 e i4

## Ejercicio 5

Instrucciones	Emisión	Ejecución	Escritura
sub.s f2,f0,f6	1	2- 4	5
mul.s f0,f6,f4	2	3-8	9
mul.s f4,f6,f0	3		
div.s f2,f4,f6	4		
sub.s f6,f8,f6	5	6-8	

E.R.	Oc.	Op.	Vj	Vk	Qj	Qk	A
Load1	No						
Store1	No						
ADD1	No						
ADD2	Sí	Resta	0x41000000	0x40c00000			
ADD3	No						
MUL1	No						
MUL2	Sí	Mult	0x40c00000	0x41c00000			
DIV1	Sí	Div		0x40c00000	Mult2		

Registro	F0	F2	F4	F6	F8	F10	F12	F14
E.R.		Div1	Mult2	Add2				

RAW: i2 e i3; RAW: i3 e i4; estructural: i2 e i5

## Ejercicio 5

<i>Instrucciones</i>	<i>Emisión</i>	<i>Ejecución</i>	<i>Escritura</i>
sub.s f2,f0,f6	1	2- 4	5
mul.s f0,f6,f4	2	3-8	9
mul.s f4,f6,f0	3	10-	
div.s f2,f4,f6	4		
sub.s f6,f8,f6	5	6-8	10

<i>E.R.</i>	<i>Oc.</i>	<i>Op.</i>	<i>Vj</i>	<i>Vk</i>	<i>Qj</i>	<i>Qk</i>	<i>A</i>
Load1	No						
Store1	No						
ADD1	No						
ADD2	No						
ADD3	No						
MUL1	No						
MUL2	Sí	Mult	0x40c00000	0x41c00000			
DIV1	Sí	Div		0x40c00000	Mult2		

<i>Registro</i>	<i>F0</i>	<i>F2</i>	<i>F4</i>	<i>F6</i>	<i>F8</i>	<i>F10</i>	<i>F12</i>	<i>F14</i>
<i>E.R.</i>		Div1	Mult2					

## Ejercicio 5

<i>Instrucciones</i>	<i>Emisión</i>	<i>Ejecución</i>	<i>Escritura</i>
sub.s f2,f0,f6	1	2- 4	5
mul.s f0,f6,f4	2	3-8	9
mul.s f4,f6,f0	3	10-15	
div.s f2,f4,f6	4		
sub.s f6,f8,f6	5	6-8	10

<i>E.R.</i>	<i>Oc.</i>	<i>Op.</i>	<i>Vj</i>	<i>Vk</i>	<i>Qj</i>	<i>Qk</i>	<i>A</i>
Load1	No						
Store1	No						
ADD1	No						
ADD2	No						
ADD3	No						
MUL1	No						
MUL2	Sí	Mult	0x40c00000	0x41c00000			
DIV1	Sí	Div		0x40c00000	Mult2		

<i>Registro</i>	<i>F0</i>	<i>F2</i>	<i>F4</i>	<i>F6</i>	<i>F8</i>	<i>F10</i>	<i>F12</i>	<i>F14</i>
<i>E.R.</i>		Div1	Mult2					

## Ejercicio 5

<i>Instrucciones</i>	<i>Emisión</i>	<i>Ejecución</i>	<i>Escritura</i>
sub.s f2,f0,f6	1	2- 4	5
mul.s f0,f6,f4	2	3-8	9
mul.s f4,f6,f0	3	10-15	16
div.s f2,f4,f6	4		
sub.s f6,f8,f6	5	6-8	10

<i>E.R.</i>	<i>Oc.</i>	<i>Op.</i>	<i>Vj</i>	<i>Vk</i>	<i>Qj</i>	<i>Qk</i>	<i>A</i>
Load1	No						
Store1	No						
ADD1	No						
ADD2	No						
ADD3	No						
MUL1	No						
MUL2	No						
DIV1	Sí	Div	0x43100000	0x40c00000			

<i>Registro</i>	<i>F0</i>	<i>F2</i>	<i>F4</i>	<i>F6</i>	<i>F8</i>	<i>F10</i>	<i>F12</i>	<i>F14</i>
<i>E.R.</i>		Div1						

RAW: i3 e i4

## Ejercicio 5

<i>Instrucciones</i>	<i>Emisión</i>	<i>Ejecución</i>	<i>Escritura</i>
sub.s f2,f0,f6	1	2- 4	5
mul.s f0,f6,f4	2	3-8	9
mul.s f4,f6,f0	3	10-15	16
div.s f2,f4,f6	4	17-	
sub.s f6,f8,f6	5	6-8	10

<i>E.R.</i>	<i>Oc.</i>	<i>Op.</i>	<i>Vj</i>	<i>Vk</i>	<i>Qj</i>	<i>Qk</i>	<i>A</i>
Load1	No						
Store1	No						
ADD1	No						
ADD2	No						
ADD3	No						
MUL1	No						
MUL2	No						
DIV1	Sí	Div	0x43100000	0x40c00000			

<i>Registro</i>	<i>F0</i>	<i>F2</i>	<i>F4</i>	<i>F6</i>	<i>F8</i>	<i>F10</i>	<i>F12</i>	<i>F14</i>
<i>E.R.</i>		Div1						

## Ejercicio 5

<i>Instrucciones</i>	<i>Emisión</i>	<i>Ejecución</i>	<i>Escritura</i>
sub.s f2,f0,f6	1	2- 4	5
mul.s f0,f6,f4	2	3-8	9
mul.s f4,f6,f0	3	10-15	16
div.s f2,f4,f6	4	17-28	
sub.s f6,f8,f6	5	6-8	10

<i>E.R.</i>	<i>Oc.</i>	<i>Op.</i>	<i>Vj</i>	<i>Vk</i>	<i>Qj</i>	<i>Qk</i>	<i>A</i>
Load1	No						
Store1	No						
ADD1	No						
ADD2	No						
ADD3	No						
MUL1	No						
MUL2	No						
DIV1	Sí	Div	0x43100000	0x40c00000			

<i>Registro</i>	<i>F0</i>	<i>F2</i>	<i>F4</i>	<i>F6</i>	<i>F8</i>	<i>F10</i>	<i>F12</i>	<i>F14</i>
<i>E.R.</i>		Div1						



## Ejercicio 5

<i>Instrucciones</i>	<i>Emisión</i>	<i>Ejecución</i>	<i>Escritura</i>
sub.s f2,f0,f6	1	2- 4	5
mul.s f0,f6,f4	2	3-8	9
mul.s f4,f6,f0	3	10-15	16
div.s f2,f4,f6	4	17-28	29
sub.s f6,f8,f6	5	6-8	10

<i>E.R.</i>	<i>Oc.</i>	<i>Op.</i>	<i>Vj</i>	<i>Vk</i>	<i>Qj</i>	<i>Qk</i>	<i>A</i>
Load1	No						
Store1	No						
ADD1	No						
ADD2	No						
ADD3	No						
MUL1	No						
MUL2	No						
DIV1	No						

<i>Registro</i>	<i>F0</i>	<i>F2</i>	<i>F4</i>	<i>F6</i>	<i>F8</i>	<i>F10</i>	<i>F12</i>	<i>F14</i>
<i>E.R.</i>								

## Ejercicio 5

### Solución:

Tabla del estado de las instrucciones			
<i>Instrucciones</i>	<i>Emisión</i>	<i>Ejecución</i>	<i>Escritura</i>
sub.s \$f2,\$f0,\$f6	1	2-4	5
mul.s \$f0,\$f6,\$f4	2	3-8	9
mul.s \$f4,\$f6,\$f0	3	10-15(RAW)	16
div.s \$f2,\$f4,\$f6	4	17-28(RAW)	29
sub.s \$f6,\$f8,\$f6	5	6-8	10(Estructural)

## Ejercicio 6

### Enunciado:

*Supongamos un procesador que usa Marcador para la planificación dinámica, con 3 unidades de suma, 2 de multiplicación y una de división en punto flotante, cuyas latencias son, respectivamente, 3, 6 y 10 ciclos.*

- a) Rellena la siguiente tabla del algoritmo marcador indicando en que ciclo se completa cada fase del algoritmo.*
- b) Indica que dependencias existen entre las instrucciones de este código, y de que tipo es cada una.*
- c) Indica cuales de las dependencias anteriores provocan un riesgo en este procesador y de que tipo es ese riesgo.*

<i>Instrucciones</i>	<i>Emisión</i>	<i>Lectura</i>	<i>Ejecución</i>	<i>Escritura</i>
<i>sub.s f2,f10,f12</i>				
<i>mul.s f0,f2,f4</i>				
<i>add.s f14,f6,f0</i>				
<i>div.s f2,f14,f12</i>				
<i>sub.s f6,f8,f6</i>				

## Ejercicio 6

Solución a):

Instrucciones	Emisión	Lectura	Ejecución	Escritura
sub.s f2,f10,f12	1	2	3-5	6
mul.s f0,f2,f4	2	7(RAW)	8-13	14
add.s f14,f6,f0	3	15(RAW)	16-18	19
div.s f2,f14,f12	7(WAW)	20(RAW)	21-30	31
sub.s f6,f8,f6	8	9	10-12	16(WAR)

## Ejercicio 6

### Solución b y c):

- Tres dependencias verdaderas:  $i1 \rightarrow i2$ ;  $i2 \rightarrow i3$ ;  $i3 \rightarrow i4$ ; todas provocan riesgos RAW en este caso
- Dos antidependencias:  $i4 \rightarrow i2$ ; no da lugar a riesgo porque uno de los riesgos de tipo RAW mantiene parado el cauce hasta que la dependencia se resuelve;  $i5 \rightarrow i3$ ; da lugar a un riesgo WAR
- Una dependencia de salida:  $i4 \rightarrow i1$ ; da lugar a un riesgo WAW

## Ejercicio 7

### Enunciado:

*Realizar el ejercicio anterior para un procesador que implemente el algoritmo de Tomasulo. ¿Cuál es la ganancia obtenida con respecto al procesador que implementa marcador?*

Instrucciones	Emisión	Ejecución	Escritura
sub.s f2,f10,f12			
mul.s f0,f2,f4			
add.s f14,f6,f0			
div.s f2,f14,f12			
sub.s f6,f8,f6			

## Ejercicio 7

### Solución:

Instrucciones	Emisión	Ejecución	Escritura
sub.s f2,f10,f12	1	2-4	5
mul.s f0,f2,f4	2	6-11(RAW)	12
add.s f14,f6,f0	3	13-15(RAW)	16
div.s f2,f14,f12	4	17-26(RAW)	27
sub.s f6,f8,f6	5	6-8	9

### Comparación:

$$ganancia = \frac{ciclos_{marcador}}{ciclos_{tomasulo}} = \frac{31}{27} = 1,148$$